

# 低被爆 X 線撮影装置の開発研究

## Development of a Low-Dose X-ray Imaging Device

研究代表者 長崎総合科学大学 情報学部知能情報学科 准教授 房安貴弘

1061019

### [研究の目的]

X 線撮影は、誰もが年 1 回の健康診断で受診するように、人の健康維持のために重要な医療機器となっているが、放射線を用いるため、年間の総利用回数は限られる。より低被爆量でも撮影可能な X 線撮影手法が得られれば、よりの確かつ安全な診察が可能になるであろう。そこで本研究では、放射線からの信号を大幅に増幅することで、少量の X 線でも検出することができるようになる、GEM (Gas Electron Multiplier) と呼ばれるデバイスを用い、低被爆 X 線撮影装置の開発研究を行う。特に、例えば小さな町医院でも使えるよう、あるいはポータブル用途にも対応できるように小型化するため、LSI 技術を利用した読み出し回路の開発を行った。

### [研究の内容、成果]

#### 1 GEM を用いた X 線撮像機

GEM とは、ポリイミド等の高分子化合物シートの両面に金属膜を塗布し、多数の穴を開けた材料であり、欧州合同素粒子原子核研究機構 (CERN) において初めて開発され [1]、東京大学原子核科学研究センター (CNS) において、より安定性を高めた改良版が開発された [2]。図 1 に、GEM を用いた X 線撮像機の構造を示す。筐体内部は Xe(90%)-CO<sub>2</sub>(10%) の 1 気圧気体で満たされており、まず X 線がガス中で光電効果により電子に変換され、得られた電子が GEM によって増幅される。本研究では、出来るだけ少ない線量から必要な情報を得るため、粒子の入射事象ごとに位置情報を得ることが望ましい。ピクセルに到達する電荷分布

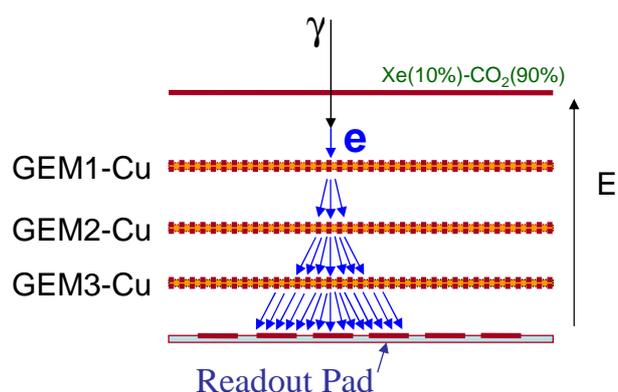


図 1: GEM による X 線の検出法

の拡がり、ピクセルの大きさよりも十分に小さい場合、その X 線の入射位置の測定精度  $\sigma$  は、ピクセルの中心から隣のピクセルの中心までの距離を  $d$  とすると、

$$\sigma = \frac{d}{\sqrt{12}} \quad (1)$$

に制限される。そこでここでは、位置分解能の向上のため、ピクセル基板表面に抵抗体を塗布し、電荷分布が複数ピクセルに渡るように分散させ、各ピクセルの入射電荷量による重量平均を取ることにより、X 線の入射位置を得るものとする。

#### 2 フロントエンド LSI の回路構造

図 2 に、本研究で開発したフロントエンド LSI のブロック図を示す。本 LSI は、64ch のチャージアンプおよび出力マルチプレクサから成る。

回路は初期状態では、SW<sub>1</sub> が開状態になっており、事象ごとに発生した電荷は、フィードバックコンデンサ  $C_1$  によって、電圧に変換される状態となっ

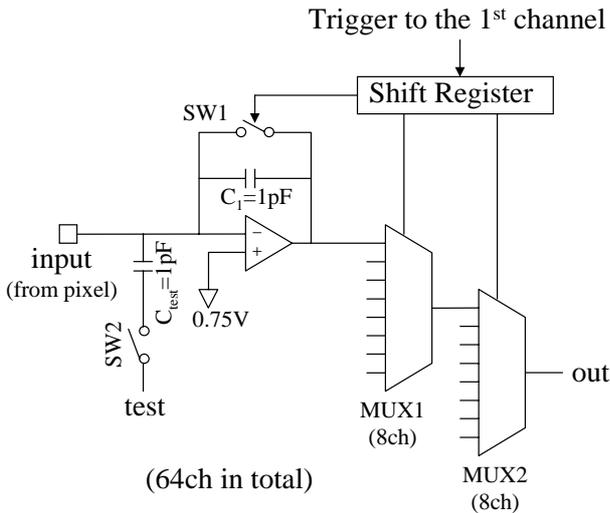


図 2: フロントエンド LSI のブロック図

ている。GEM の電圧変化あるいは、別途設けられたトリガーカウンターによって X 線の入射が検知されると、CDS (Correlated Double Sampling) 法による読出しが行われる。即ち、まずピクセル電荷によって生じた  $C_1$  の電圧が、マルチプレクサを通して読み出され、直後に SW1 を閉じて  $C_1$  を放電する。放電の直後、ベースライン補正を後に行うために、 $C_1$  の電圧が再び読み出される。以上の動作が Ch1 から Ch64 まで順次繰り返され、各チャンネルで得られた電圧が、マルチプレクサを通してシリアルに読み出される。

なお、本 LSI は 64 個のピクセル入力の他、 $C_{test}$  を通して全チャンネルに共通のテストパルス電圧を入力するための、テスト端子を備えている。

図 3 に、本 LSI の 1ch 分の回路設計を示す。入力信号は、ダイオード接続された FET により、静電対策が施されている。フィードバックコンデンサの放電に用いるスイッチは、閉動作時にスイッチから漏洩する電荷が測定精度を低下させることを防ぐため、CMOS 型のスイッチを用いると同時に、さらに補償用のダミースイッチを直列に挿入した。

電荷を電圧に変換するためのチャージアンプには、図 4 に示す folded-cascode 型のオペアンプを用いる。3 pF の出力負荷容量を仮定して行った回路図レベルでのシミュレーションによると、DC 開ループゲイン 64.2 dB、ゲインバンド幅 63.1 MHz、スルーレート 148 V/ $\mu$ s、および、セトリング時間

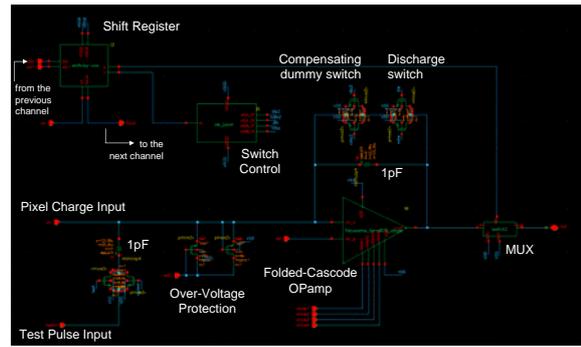


図 3: フロントエンド LSI の 1ch 分の回路図

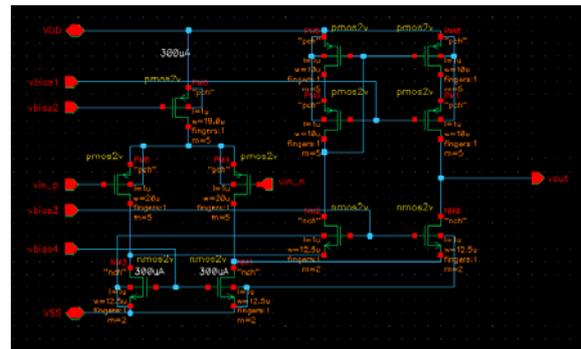


図 4: Folded-Cascode 型オペアンプの回路図

26.1 ns であった。

### 3 レイアウト設計およびシミュレーション評価

LSI のレイアウト設計は、TSMC 0.25 $\mu$ m 1P5M *n*-well プロセス用に行われた。チップ全体の設計図を図 5(a) に示す。チップの寸法は 5mm $\times$ 2.5mm であるが、電源ラインにおける電圧降下によりチャンネル間のばらつきが増大するのを防ぐため、多くの面積を電源ラインに費やす形となった。左半分には 32ch 分、右半分に残り 32ch 分の回路が納められている。上部にはデジタル I/O 回路、下部にアナログ I/O 回路が配置されている。1ch 分のレイアウト設計図を図 5(b) に示す。1ch 当りの寸法は約 230 $\mu$ m $\times$ 110 $\mu$ m である。

シミュレーション検証を行うため、配線の寄生容量および寄生抵抗が、レイアウト設計データから抽出された。但し、検証時間の短縮のため、抽出は 8ch 分についてのみ行われた。レイアウトシミュレーションの結果、隣接チャンネル間のクロストークは 0.01 % 以下、アナログ出力へのクロック信号の漏洩は約 10 mV<sub>pp</sub>、チップ全体の消費電力は約

75mW と見積もられた。読出しトリガーが与えられてから全チャンネルが読み出されるまでの間に、電荷の漏洩によりフィードバック・コンデンサの電圧が低下（ドループ）すると、測定誤差の原因となる。ここでは、1 ms 間のドループは約 7mV であり、そのうちの 4mV が放電スイッチからの電荷漏洩によるものと見積もられた。アナログ出力波形は、3 pF の負荷容量を仮定した場合に、変動電圧の 1% までのセトリング時間が、立上り時に最大で約 50 ns、立下り時に最大で約 160 ns であった。

#### 4 フロントエンド LSI の測定評価

試作されたフロントエンド LSI チップは、QFP パッケージにパッケージングされ、評価用ボードを用いて測定評価が行われた。試作チップのアナログ出力には 8 ビット ADC が接続され、チップと ADC のコントロールおよび ADC の読出しは、PC に接続された FPGA ボードにより行われた。

まず、入力電荷量に対する出力電圧の特性評価が行われた。1 つのチップの ch1 について測定した結果を、図 6(a) に示す。また、入力電荷 0.2 pF 以上のデータに対するフィット直線からの残差を、図 6(b) に示す。小信号の領域においてやや大きな非線形性が見られるものの、0.2 pF 以上においては、良好な線形性が得られた。

次に、チャンネル間およびチップ間のばらつき特性の評価を行った。図 6(c) に、0.75 pF を入力した時の入力対出力のゲインを、10 個のチップの各々全 64ch について測定した結果を示す。これによると、チップの下側（向きは図 5(a) に準ずる）にあるチャンネル (Ch32) は、上側にあるチャンネル (Ch1, Ch64) と比較して、ゲインが低くなっており、チップ内のチャンネル位置に依存することが伺えるが、その原因については更に調査が必要である。

アナログ出力のセトリング特性は、試作チップによる測定結果によると、マルチプレクサのチャンネル切り替え後 1  $\mu$ s を経ても、十分なセトリングに達していないことが明らかとなった。これは先に示したレイアウト・シミュレーション結果を大幅に上回る値である。その原因として、アナログ出力ラインがチップの縦方向長さに渡って縦断し、比較的大きい寄生容量を持つにも関わらず、シ

ミュレーションにおいては 8ch 分しか寄生容量を抽出しなかったために、セトリング時間が過小評価されてしまったものと考えられる。

#### [今後の研究の方向, 課題]

チップの試作は概ね成功であったが、アナログ出力のセトリング時間が長い等の課題を残した。従って、サンプリング速度を向上させるためには、チップ全体のシミュレーション等を通して、レイアウト設計の改善が必要である。

また、本チップを用いた X 線イメージング実験も近い将来に行いたい。そのためのピクセル基板は既に試作済みであり、図 7 にその写真を示す。X 線イメージング実験に成功した後は、更なるピクセルの高密度化と、それに対応可能な高密度集積チップの開発および、データ読出し系の開発を行う。

#### [成果の発表, 論文等]

1. T. Fusayasu: A Fast Integrating ADC Using Precise Time-to-Digital Conversion, 2007 IEEE-NSS Conference Record, pp. 302-304 (2007).
2. T. Fusayasu, S. Sano, Y. Tanaka, and H. Hamagaki: Development of a Frontend LSI for Radiation Imaging Detectors with Gas Electron Multipliers, 2007 IEEE-NSS Conference Record, pp. 305-308 (2007).
3. 房安貴弘, 田中義人, 浜垣秀樹: ガス電子増幅器を用いた放射線検出器のフロントエンド LSI の開発, 長崎総合科学大学紀要・新技術創成研究所所報第 2 号, pp. 23-26 (2007).
4. 房安貴弘: ピクセル放射線検出器用フロントエンド LSI の開発, 長崎総合科学大学・第 4 回学術フロンティアセンターシンポジウム・要項集 (2007).
5. Nucl. Instrum. and Method. A 誌に投稿準備中.

#### 参考文献

- [1] F. Sauli, Nucl. Instrum. and Method. A 386 (1997) 531.
- [2] M. Inuzuka, et. al., Nucl. Instrum. and Method. A 525 (2004) 529.

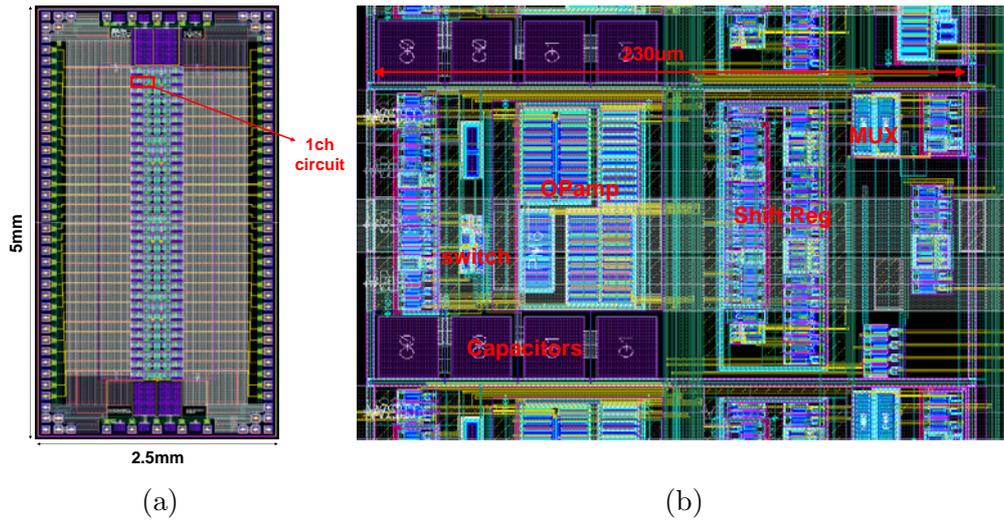


図 5: (a) チップ全体および (b) 1ch 分のレイアウト設計図。

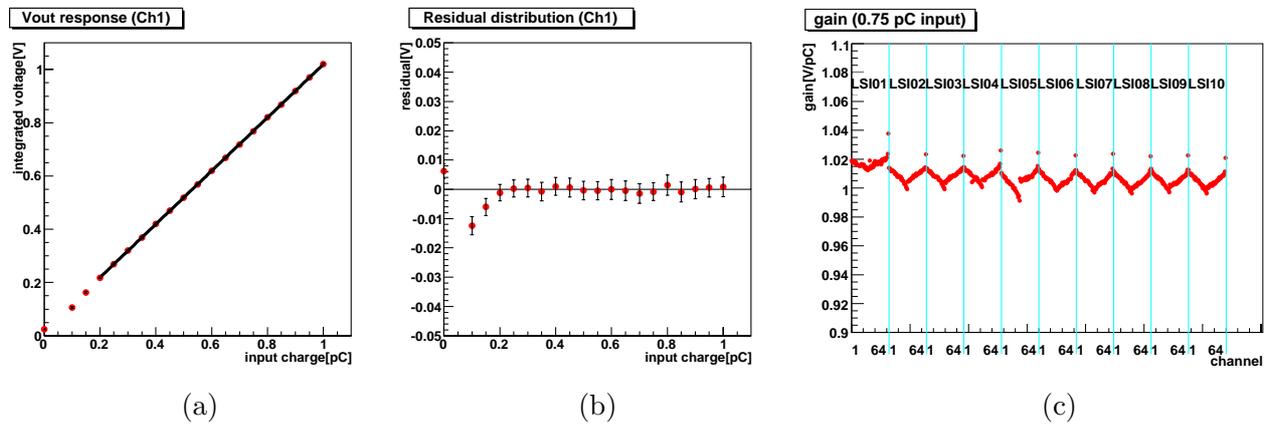


図 6: フロントエンド LSI の測定評価結果。(a) 入力電荷量に対する出力電圧の特性, および (b) 入力電荷量 0.2 pF 以上のデータ点に対するフィット直線からの残差。(c) 0.75 pF を入力した時のゲインの, チャンネル間およびチップ間のばらつき。

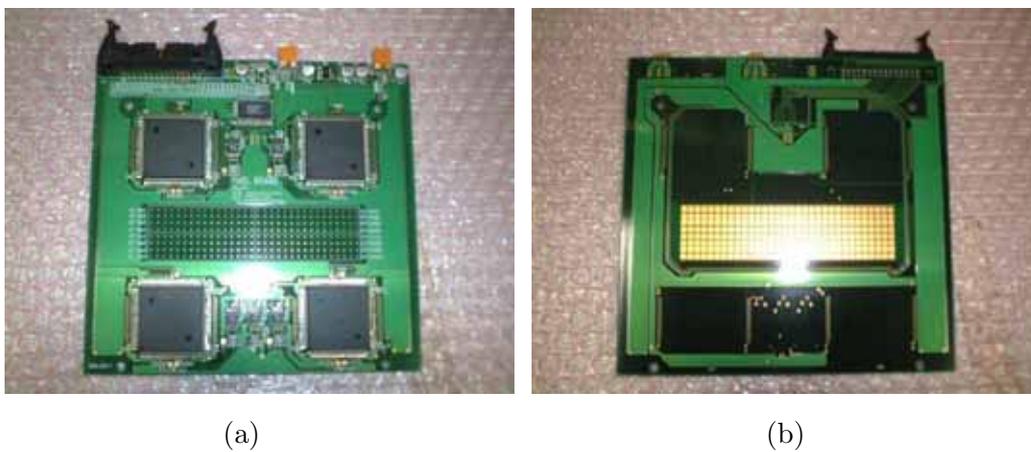


図 7: 4 つの試作 LSI を搭載したピクセルボードの (a) LSI 側, および (b) ピクセル側の写真。