
脳型情報処理システムのための シナプス可塑性を有する電子回路モデル

Electronics Circuit Model with Synaptic Plasticity for Brain-type Information Processing System

1071010

研究代表者 日本大学理工学部 准教授 佐伯 勝 敏

[研究の目的]

私は、脳を構成しているニューロンに着目し、電子回路でモデル化することにより、集積回路技術でネットワーク化し、脳型情報処理システムを構築させたいと考えている。これをロボットに搭載した場合、人とロボットとの調和がとれるよう、なるべく人の脳に近いモデルのチップを開発することで、よりスムーズに人とロボットとのマッチングがとれるのではないかと考え、脳の特徴である学習に着目し、パルスのタイミングに依存したシナプス可塑性を有するハードウェアモデルを開発することを目的とし、研究を行った。

近年、海馬 CA1、大脳新皮質、小脳などにおいて、シナプス前ニューロン、シナプス後ニューロンの発火によるスパイクの時間差に依存して、長期にわたりシナプス結合が変化する長期増強(LTP)、長期抑圧(LTD)といった現象が起こるシナプス可塑性、STDP(Spike Timing Dependent synaptic Plasticity)が発見された。

今回、私は LTP の時間領域の狭いメキシカンハット型の時間窓を持つスパイクの時間差に依存したシナプス可塑性に着目し、スパイク入力的时间差に依存してシナプスの結合荷重制御を行う回路、及び、その回路の出力値に従いシナプス後ニューロンにパルス伝搬を担うシナプスモデルについて検討を行った。

[研究の内容、成果]

図 1 に、メキシカンハット型の時間窓を示す STDP を用いたパルス形ニューラルネットワークの概略図を示す。同図はシナプス前細胞体部 N_{pre} 、シナプス後細胞体部 N_{post} 、 N_{pre} から N_{post} へ介在する抑制性細胞体部 N_i とし、 N_{pre} と N_{post} 、及び、 N_{pre} と N_i を結ぶ興奮性シナプス部、 N_i と N_{post} を結ぶ抑制性シナプス部、 N_{pre} 、 N_{post} が出力するパルスの時間差に依存して興奮性シナプス部の結合荷重 $W_{post, pre}$ 、及び、抑制性シナプス部の $W_{post, i}$ を制御するシナプス結合荷重制御部から成る構成とした。また、 N_{pre} と N_{post} に刺激電流 i_{pre} 、 i_{post} が流れ込み、興奮性シナプス部の結合荷重 $W_{i, pre}$ は一定とした。

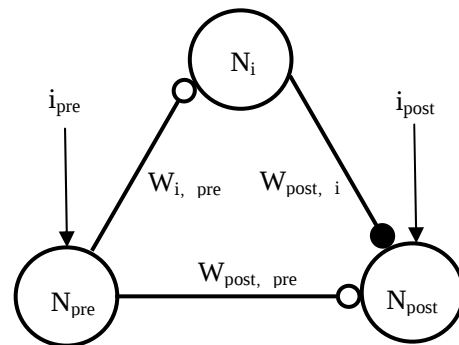


図 1 メキシカンハット型の時間窓を示す STDP を用いたパルス形ニューラルネットワーク

図 2 に図 1 で用いた細胞体モデルの回路構成を示す。この細胞体モデルは生体のニューロンが持つ特徴として、閾値、不応期といった特性を有しており、外部からの刺激電流を受け、膜

容量に相当する C_m の両端にかかる電圧 v_m にパルスが発生する特性を有している。

図 3 に今回提案するシナプスモデルの回路構成を示す。同図のシナプスモデルはニューロンのシナプス部に相当し、生体のシナプスが持つ遅延特性を模擬する一次遅れ部 D_{pre} 、 D_i から成る構成とした。興奮性シナプスモデル、抑制性シナプスモデルをそれぞれ(a), (b)に示す。同図(a)の回路は、 D_{pre} と 3 つの p チャンネル MOSFET, M_{s1} , M_{s2} , M_{s3} から成り、 N_{pre} がパルスを出した時に生じる電圧 v_{pre} が D_{pre} の容量 C_{pre} により、遅れて出力電流 I_{out} が N_{post} として用いた細胞体モデルに流れる。また、シナプス結合荷重制御回路による結合荷重制御電圧 V_w により、 I_{out} の大きさを調整することが可能である。また、同図(b)の回路は、 D_i とそれぞれカレントミラー構成となっている M_{i2} , M_{is1} 及び、 M_{is2} , M_{is3} から成り、 N_i がパルスを出した時に生じる電圧 v_{Ni} が D_i の容量 C_i により、遅れてマイナスの出力電流 $-I_{in}$ が N_{post} として用いた細胞体モデルに流れる。すなわち、 N_{post} として用いた細胞体モデルから引き込み電流 I_{in} が流れ、 C_m に掛かる電圧 v_m を低下させ、パルスの出力を抑える。

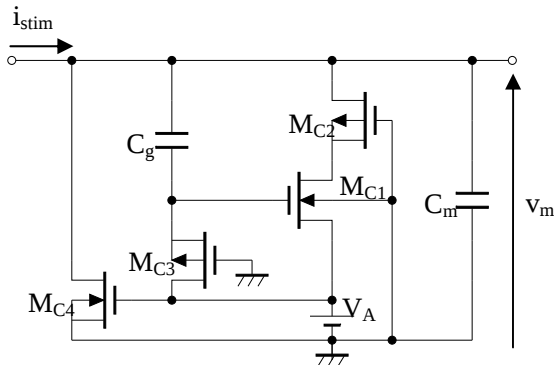
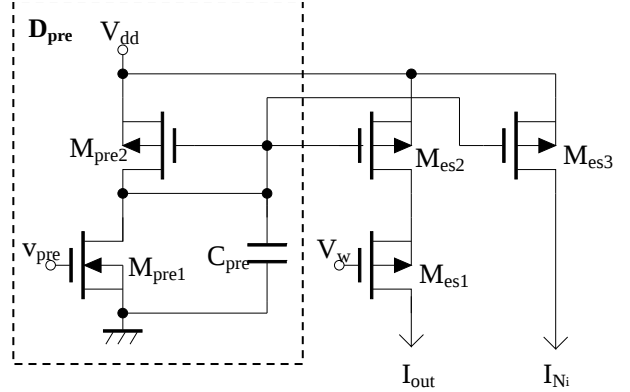
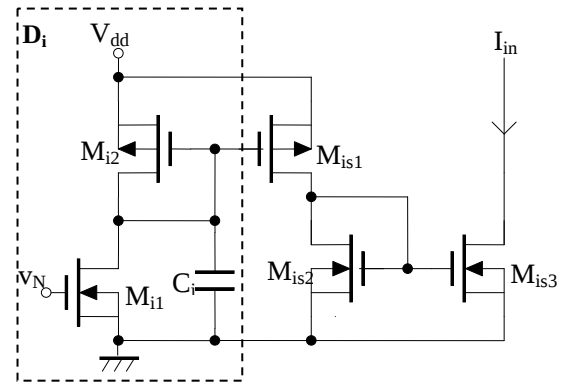


図 2 細胞体モデル



(a) 興奮性シナプスモデル



(b) 抑制性シナプスモデル

図 3 シナプスモデル

図 4 にシナプス結合荷重制御回路の構成を示す。図中、 V_w は同回路の出力であり、図 3(a) の興奮性シナプス回路を制御する電圧である。また、 D_{pre} は図 3(a) の興奮性シナプス回路内の D_{pre} と、 D_i は図 3(b) の抑制性シナプス回路内の D_i とそれぞれ同一であり、 D_{post} も一次遅れ部を示している。 N_{pre} , N_{post} がパルスを出し、 v_{pre} , v_{post} が生じる度に D_{pre} , D_i , 及び D_{post} 内の容量 C_{pre} , C_i , 及び C_{post} の両端電圧が変動し、 M_{pre2} , M_{i2} , M_{post2} に電流が流れる。さらに、 M_{pre2} は M_{pre3} と M_{pre6} , M_{i2} は M_{i3} , M_{post2} は M_{post3} とそれぞれカレントミラー構成とし、電流が流れる。ここで、 M_{pre6} のドレイン側に接続した N_i は、 N_{pre} の細胞体モデルがパルスを出し v_{pre} が生じた際に、抑制性ニューロンを介すことで遅れをもたせたパ

ルスを出力し、 M_{i1} のゲートに v_{Ni} を印加する。
 また、 C_{pre} 、 C_i 、及び C_{post} の両端電圧に応じた電流が D_{pre} 側では M_{pre3} 、 M_{pre4} 、 M_{pre5} 、及び M_{pre6} を介し、 D_i 側では M_{i3} 、 D_{post} 側では M_{post3} からそれぞれ流れ、さらに、 N_{pre} 、 N_{post} の細胞体モデルがパルスを出力し v_{pre} 、 v_{post} が生じるたびに、 M_{pre7} 、 M_{i4} 、 M_{post4} が ON 状態となり、容量 C_w に掛かる電圧 V_w が変化する構成とした。

図 5 に図 4 のシナプス結合荷重制御回路の特性の一例を示す。同図は、 N_{pre} 、 N_{post} の細胞体モデルが出力するパルスの時間差 Δt に対する V_w の変化量 ΔV_w を示す時間窓特性の一例で、横軸に Δt 、縦軸に ΔV_w を示す。この特性より、生体で発見されたメキシカンハット型の時間窓特性と類似した特性が得られたことを示している。

次に、図 2 の細胞体モデル、図 3 のシナプスモデル、図 4 のシナプスの結合荷重制御を行う回路を用いて、STDP を用いたパルス形ニューラルネットワークを構成した場合、シナプス結合荷重の増強、抑圧に相当する、興奮性シナプスモデルの出力電流の制御について検討を行う。検討には、 N_{pre} 、 N_{post} が出力するパルス列として次式の信号を用いた。

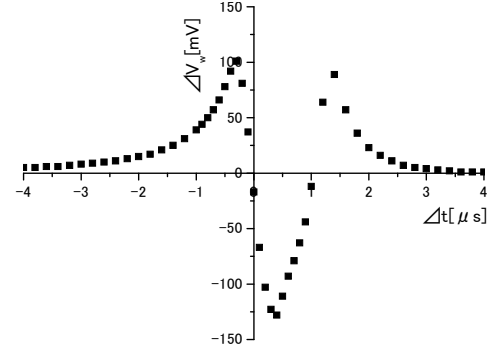


図 5 シナプス結合荷重制御回路の特性

$$S_{pre} = \sum_{i=1}^m v_{pre,i}(T \cdot i) \quad (1)$$

$$S_{post} = \sum_{j=1}^n v_{post,j}(T \cdot j + dt) \quad (2)$$

上式中、 v_{pre} は N_{pre} から出力される i 番目のパルスの振幅を示しており、 v_{post} は N_{post} から出力される j 番目のパルスの振幅を示している。 T はパルス周期、 dt は N_{pre} が出力するパルス列に対する、 N_{post} が出力するパルス列の遅れ時間を示している。今回、一例として図 5 の時間窓特性より、常に V_w が低下している $dt=0.5[\mu s]$ を増強が起こるパターン、また、常に V_w が上昇している $dt=-0.5[\mu s]$ 、 $1.5[\mu s]$ を抑圧が起こるパターンとして、 $T=10[\mu s]$ のパターンを用いた。

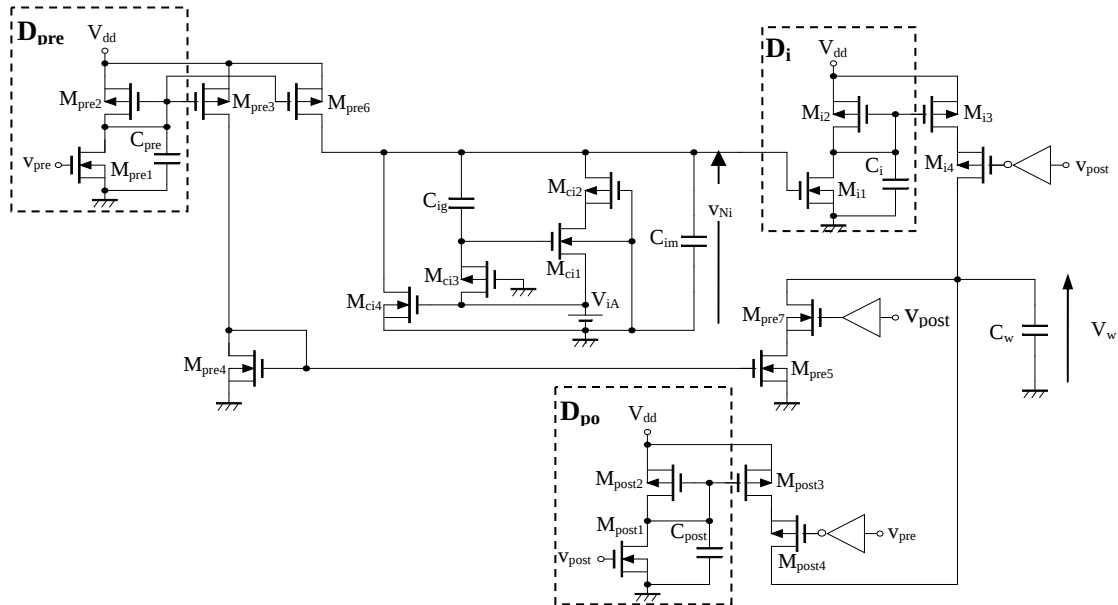


図 4 シナプス結合荷重制御回路

図 6 に $dt=0.5[\mu s]$ における増強過程の特性の一例を示す。同図(a)はシナプス結合荷重制御電圧 V_w , (b)は図 3(a)の興奮性シナプスモデルの出力電流 I_{out} の各時間推移を示している。図中、横軸は時間を示しており、縦軸(a)は V_w , (b)は

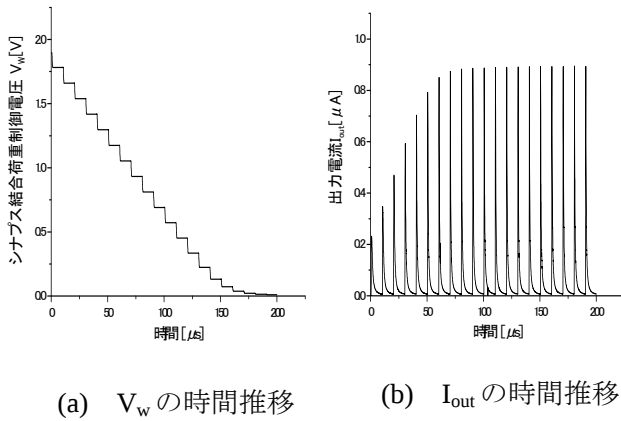


図 6 $dt=0.5[\mu s]$ における増強過程

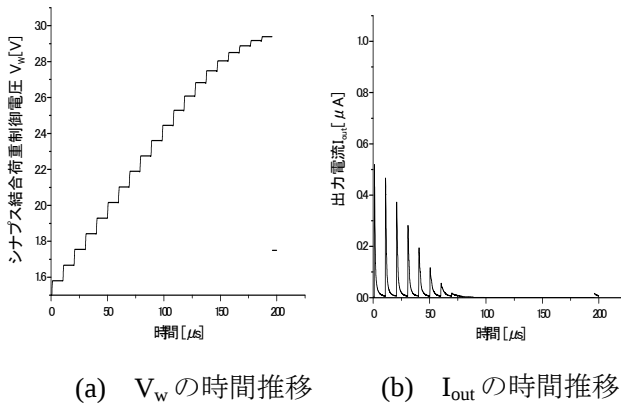


図 7 $dt=-0.5[\mu s]$ における抑圧過程

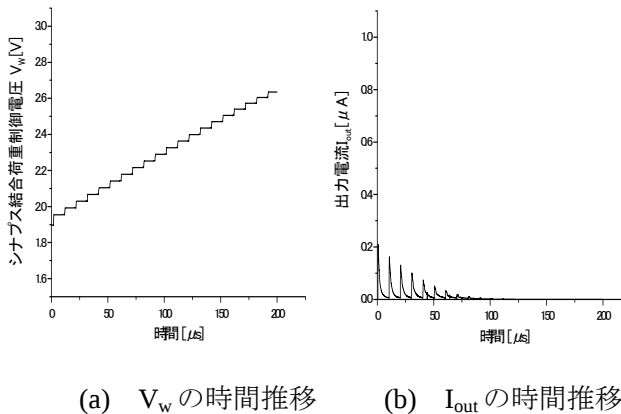


図 8 $dt=1.5[\mu s]$ における抑圧過程

I_{out} を示している。同図(a)は時間経過に伴い V_w が階段状に低下していくことを示しており, (b) は時間経過に伴い I_{out} の振幅が大きくなり, 次第に一定になることを示している。このことは, N_{pre} と N_{post} が出力するパルス間隔が常に V_w が低下する範囲にあるため, N_{post} がパルスを出力するたび, N_{pre} と N_{post} 間の興奮性シナプスの結合荷重が増強されていることを示している。

図 7 に $dt=-0.5[\mu s]$, 図 8 に $dt=1.5[\mu s]$ における抑圧過程の特性の一例を示す。図 7, 8(a)は抑圧過程の V_w , 図 7, 8 (b)は I_{out} の各時間推移を示している。図 7, 8(a)は共に時間経過に伴い V_w が階段状に上昇していくことを示しており, (b) は, 時間経過に伴い I_{out} の振幅が小さくなることを示している。このことは, N_{pre} と N_{post} が出力するパルス間隔が常に V_w が上昇する範囲にあり, 中でも $dt=1.5[\mu s]$ の場合, N_{pre} と N_{post} に介在する N_i による影響を受けるため, N_{pre} と N_{post} 間の興奮性シナプスの結合荷重が抑圧されていることを示している。

[今後の研究の方向、課題]

今後は, 今回提案したシナプス可塑性を有する電子回路モデルを用いて, 記憶の保持, 想起について検討を行う予定である。

[成果の発表、論文等]

- [1] Yugo Hayashi, Katsutoshi Saeki, Yoshifumi Sekine : A Synaptic Circuit of a Pulse-Type Hardware Neuron Model with STDP, Technical paper in International Congress Series 1301 Elsevier, pp. 132-135, Jul. 2007.
- [2] Katsutoshi Saeki, Yugo Hayashi, Yoshifumi Sekine : Noise Tolerance of a Pulse-type Hardware Neural Network with STDP Synapses –Thermal Noise and Extraction of Phase Difference Information –, Proc. 2007 IEEJ International Analog VLSI Workshop, pp.88-93, Nov. 2007.
- [3] 関根好文, 佐伯勝敏: カオス発生可能なパルス形ハードウェアニューロンモデルの実装とその応用, 日本神経回路学会誌, Vol. 15, No. 1, pp. 27-38, 2008.3.