

低消費電力 BMI アレイセンサのためのアナログ圧縮技術

An analog-based compression technique for low-power brain-machine interface devices

2041002



研究代表者

豊橋技術科学大学

助教

秋田 一平

[研究の目的]

Brain-Machine-Interface (BMI) における、脳や神経系から生体信号を長期間・安全に取得するためのセンシングチップをより実用のレベルまで押し上げるためには、ワイヤレス電力伝送技術を駆使した完全埋込みデバイスを実現することが必須である。しかし一方で、高精度な情報を得るための多チャンネル化（アレイ化）も望まれることから、相反するこれらを両立するためには「超低消費電力なセンシングチップ」を実現しなければならない。

よって、本研究テーマは、多チャンネル化により多くの生体情報を取得しながらも、データ量を効果的に圧縮可能な「圧縮センシング (CS)」理論^[1]を用いて、このハードウェア化を通じて高いエネルギー効率を有するセンシングチップの実現を目指すものである。図1は研究代表者が想定する完全埋込み BMI システムと、これにおけるセンシングチャンネル数増大と低消費電力化のトレードオフの様子を示している。同図において、体内に埋め込まれる LSI チップは、センサ電極から取得した電圧信号（神経電位）を増幅、AD 変換し、これを体外に無線通信を以って送信する。このとき、センサ電極は数 10 チャンネル以上あり、また、これらが同時に計測されなければならないため、チャンネル数だけ増幅器や AD 変換器などのアナログフロントエンド (Analog frontend:

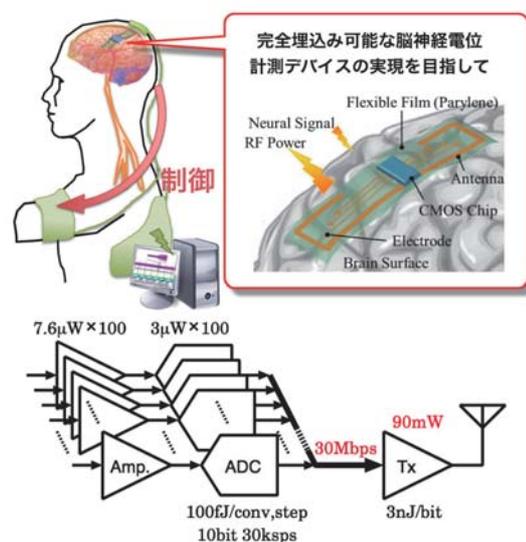


図1 完全埋込み BMI システムとアレイ AFE の課題

AFE) が必要となる。一般的に、神経電位計測における AD 変換では、20~30 kHz でのサンプリングが必要とされるため、仮に 10 bit 精度で 100 ch の信号を取得する場合、そのデータレートは 30 Mbps にもなり、これを無線データ送信すると、最大 90 mW もの電力を消費してしまう^[2]。これでは、体内埋め込みデバイスとしては、電力や発熱の観点から問題となるため、送信データレートを削減するための様々なデータ圧縮アルゴリズムが提案されているが、多くは AD 変換後のデジタル領域での信号処理となるため、100 ch も並列化されたアンプ、AD 変換器などの AFE は変わらず数 mW 以上の電力を消費しなければならない。

特に、AFEの消費電力に関しては単純にチャンネル数に比例してしまうため、抜本的な低消費電力化のためには、アンプやAD変換器を個別に低消費電力化する必要がある。

本研究は、そのようなデータ取得や処理を一體的に捉え、アナログ・デジタルシステム全体の低消費電力化を実現し得る新規のアーキテクチャ創出を目的としており、後述する通り「時間領域アナログ」信号処理を以って、アナログ領域においてCS理論を実装する回路技術を提案する。

[研究の内容, 成果]

本研究においては、本研究の目的を達成するために、取り組むべき具体的な技術課題は主に、(1) CS理論のLSIチップ実装技術の創出と、(2) AFEの低消費電力化となる。

まず、(1)については、CS理論をハードウェア化(つまりLSI化)するために、どのような演算を実現しなければならないかについて考える必要がある。図2(a)はCS理論を適用した原理(圧縮エンコード)を示しており、(b)はその具体的な回路実装例となる。CSエンコードにおいては、センサの各チャンネルから入力される神経電位信号 $v_1 \sim v_N$ を要素として持つ N 次元の入力ベクトルとみなし、これに ± 1 から成るランダムな $N \times M$ 行列 A (観測

行列)を掛けることにより、圧縮された M 次元ベクトル($s_1 \sim s_M$)を得るという処理が行われる。ここで $N > M$ である。つまり、図2(a)のベクトル・行列演算(つまり、並列な積和演算)処理を具体的にアナログ回路で実装することを考えると、同図(b)のようなオペアンプをベースとした加算回路や積分回路を用いなければならない。ただし、ここで出力電圧 v_o は同図(a)における各要素 s_i に相当しており、さらに、これが並列処理されるためには、時間分割か並列配置が求められるため、直接的にCSエンコードをアナログ回路で実現することは現実的ではない。そのため、本研究では図3に示すように、センサ信号である入力ベクトルの物理量を「時間遅延」に変換し、これに対して線形観測を行う手法を提案している^[3]。これまでアナログ電圧として信号を表現していたものを、時間として表現し直す「時間領域アナログ信号処理」を適用することで、加算処理を時間遅延の伝搬のみで実現することが出来るため、非常に単純な回路構成でアナログ線形観測を実現することが可能となる。このように、CSエンコードをハードウェア化することを考えた場合、提案する手法は現実的なアーキテクチャであると考えられる。ここで、遅延伝搬された総遅延時間量は、時間・デジタル変換器(Time-to-digital converter: TDC)を用いることで計測可能であり、これまでに研究代表者らが行ってきた時間領域アナログ信号処理の知見を利用している^[4]。図4は入力ベクトルの次元数を100(つまり、100チャンネル)として試作したLSI

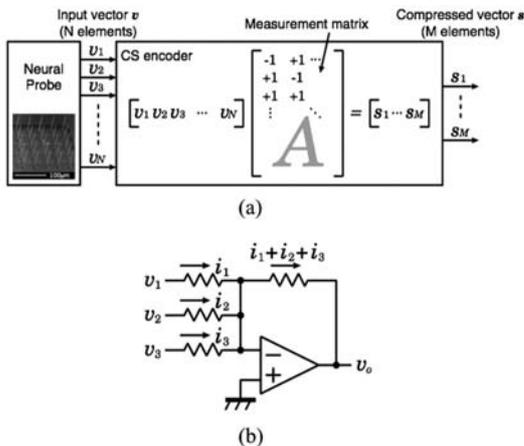


図2 CSエンコードの動作原理と回路実装例

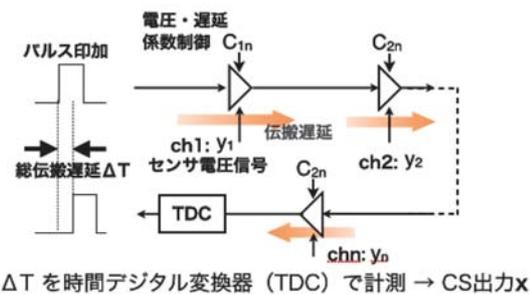


図3 時間領域アナログ信号処理を利用したCSエンコードの動作原理

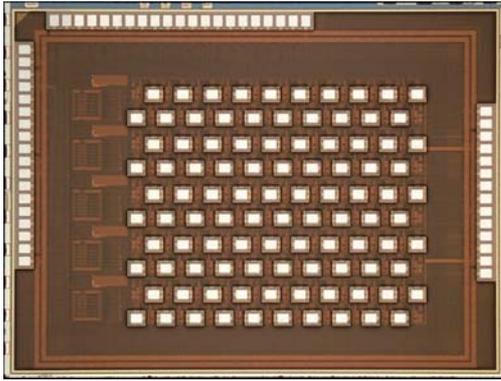


図4 時間領域アナログ信号処理を利用したCSエンコーダLSIのチップ写真

のチップ写真である。

次に(2) AFEの低消費電力化に関しては、神経電位計測用電極(センサ)と信号処理LSIのインターフェースとなるプリアンプの低消費電力化と低雑音化が最も重要な検討項目となる。(1)で提案した時間領域アナログ信号処理のアーキテクチャは、センサ直下で精度の高い電圧・時間変換を必要とするため、これを実現するためのプリアンプがシステム全体の性能を左右すると言える。また、プリアンプは各ch毎に配置されることから、低消費電力化は必須の検討項目と成る。これまでに、著者はアレイセンサに向けたAFEとして、低電力・小チップ面積なプリアンプの開発を行ってきた^[5]。これを基軸にした、さらなる低雑音化したプリアンプの設計指針の導出^[6]や、図5に示すような64chアレイプリアンプをLSI試作している^{[7],[8]}。

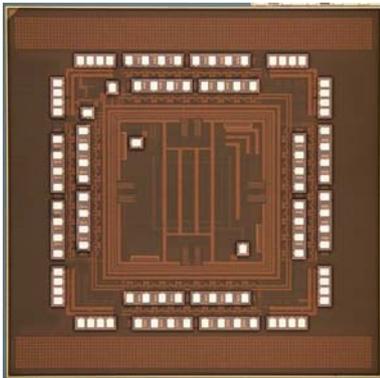


図5 AFEアレイ(64ch)LSIのチップ写真

[今後の研究の方向, 課題]

CS理論の応用については、近年、様々な分野の研究者がその可能性を実証するために、具体的な実装手法を提案している。ただし、それらの多くはデジタル領域での信号処理のみ議論されており、現実のサンセ～AD変換器におけるアレイ化に伴う諸問題についてはほとんど議論されていない。特に、アレイセンサ系への適用においては、AFE部に対する負荷が増大してしまうのが現状であるため、本研究のような新しい概念の信号処理アーキテクチャが重要となってくると考えられる。本研究成果に関して、現状においては、提案した時間領域アナログ信号処理がCSエンコーディングに適切であることを実証するまでに留まっているため^{[3],[8]}、今後は、これらの試作LSIを詳細に評価し、国際学会・論文発表等行う予定である。また、本アーキテクチャをより高精度化(理論計算に基づく信号分解能の向上、低雑音化など)、高機能化(多チャンネル化やキャリブレーションモードの導入など)、低消費電力化するための技術開発が必要である。さらに、本LSIをBMIシステムに適用可能であることを実証するためには、動物実験などを通じての検証が必要であり、そのためには、実験者が使用しやすい形に実装する方法を考案・実現することが重要である。今後は、完全体内埋込みBMIシステム実現に向けて、特に上記2点に留意して研究開発に取り組む予定である。

[参考文献]

- [1] D.L. Donoho, "Compressed sensing," IEEE Trans. Inf. Theory, vol. 52, no 4, pp. 1289-1306, Apr. 2006.
- [2] F. Chen, A. P. Chandrakasan and V. M. Stojanovic, "Design and Analysis of a Hardware-Efficient Compressed Sensing Architecture for Data Compression in Wireless Sensors," IEEE J. Solid-State Circuits, vol. 47, no. 3, pp. 744-756, Mar. 2012.

[成果の発表, 論文等]

- [3] 岡澤貴之, 石田誠, 秋田一平, “時間ドメインアナログ信号処理回路を用いた神経電位計測向け圧縮センシングエンコーダ,” 電子情報通信学会 LSI とシステムのワークショップ, 北九州市, 5/11-13, 2015.
- [4] T. Okazawa, I. Akita, M. Ishida, “A digitally calibrated dynamic comparator using time-domain offset detection,” *Analog Integr. Circuits Signal Process.*, vol. 81, no. 3, pp. 561-570, Dec. 2014.
- [5] I. Akita, M. Ishida, “A chopper-stabilized instrumentation amplifier using area-efficient self-trimming technique,” *Analog Integr. Circuits Signal Process.*, vol. 81, no. 3, pp. 571-582, Dec. 2014.
- [6] I. Akita, M. Ishida, “A current noise reduction technique in chopper instrumentation amplifier for high-impedance sensors,” *IEICE Electron. Express*, vol. 12, no. 17, pp. 1-5, June 2015.
- [7] 秋田一平, 石田誠, “センサ AFE アレイに向けた AB 級アンプの小面積・低消費電力化設計手法,” 電子情報通信学会 第 28 回 回路とシステムワークショップ, Ba1-1-2, 淡路市, 8/3-4, pp.100-104, 2015.
- [8] 石森健人, 藤澤良太, 石田誠, 秋田一平, “3 進ハフマン符号化圧縮を用いた 64 ch 神経電位計測 SoC の提案,” 電子情報通信学会 LSI とシステムのワークショップ, 北九州市, 5/11-13, 2015.