

高集積フレキシブル Si デバイス作製技術の開発

Development of highly integrated flexible Si device technologies

2041025



研究代表者

東北大学大学院 工学研究科
バイオリボティクス専攻

准教授

福島 誉 史

【研究の目的】

ウェアラブル端末に対する期待は年々高まり、フレキシブル有機デバイスの研究が活性化している。有機デバイスは印刷により作製できるため安価であるが、ディスプレイなど大面積の用途が多く、素子サイズや配線幅は先端の Si 半導体の微細加工と比べると 100 倍以上大きい。これは Roll-to-Roll などのフィルムプロセスを用いているためであり、Si 半導体で培った高生産性のウェーハプロセスでフレキシブルデバイスを作製できれば微細化は容易になる。一方、Si は薄化すると柔軟性が発現することは知られているがその特性はまだ十分に評価されていない。今後の医療・ヘルスケア等では小型で高性能なフレキシブルデバイスが必要となることを想定して、先端の微細加工技術を用い、厚い Si と同等の高い性能を有する薄く柔軟な人体に優しい Si デバイスを作製できるプロセス技術を研究する。

【研究の内容、成果】

ここではフレキシブルな高集積 Si デバイスを作成するための 3 つの主要素技術の研究成果を報告する。

1. Si の低ストレス薄化技術

Si の薄化には、研削が行われるが、鏡面仕上げには、ドライポリッシュ、CMP（化学的機械研磨）、ウエットエッチ、ドライエッチ等、いくつかの方法が提案されている。我々の過去の研究結果から今回は CMP を採用し、その応力を評価した。ここでは、 $775\ \mu\text{m}$ から研削し、 $50\ \mu\text{m}$ 、さらに $10\ \mu\text{m}$ まで薄化、鏡面化した Si チップを用い、 μ ラマン分光法により単結晶 Si の $520\ \text{cm}^{-1}$ 近傍のピークシフトからその応力分布を測定した。Si-CMP にはコロイダルシリカ PLANERLITE（フジミインコーポレーテッド社製）、およびパッド IC1000（ニッタ・ハース社製）を用いた。研削、CMP した面と反対側の面（測定面積： $60\ \mu\text{m} \times 60\ \mu\text{m}$ ）の応力マッピングデータを図 1 に示す。

この図から、 $50\ \mu\text{m}$ まで薄化した Si チップの応力は、引張方向、および圧縮方向を含む $+15\ \text{MPa} \sim -15\ \text{MPa}$ 程度であるのに対し、 $10\ \mu\text{m}$ まで薄化した Si チップの応力は、圧縮方向に約 $40\ \text{MPa}$ であった。デバイスが形成されていない Si の構造体でも、薄化により大きな応力を受けていることが分かった。

次いで、プレーナ構造のキャパシタを有する DRAM チップ（テクノロジーノード： $90\ \text{nm}$ ）を用い、薄化した Si のヤング率と DRAM の保持特性、および薄化による応力の関係性を評価した。プレーナ型の DRAM は、スタック型

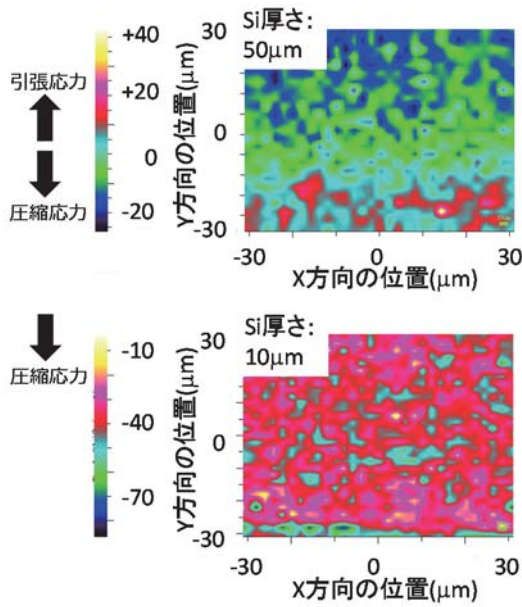


図1 薄化したSiの研削面と反対の面に発生した応力のマッピング

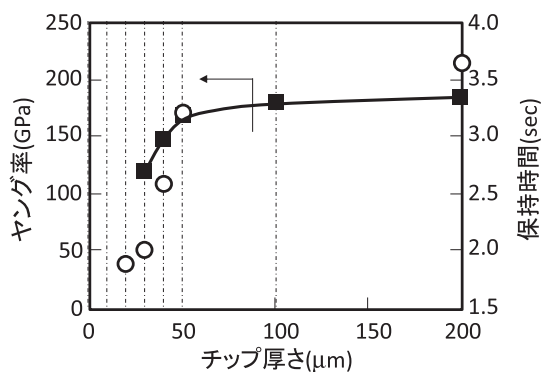


図2 研削、CMP処理により薄化したプレーナ構造のキャパシタを有するDRAMチップのヤング率と保持特性の関係

のキャパシタに比べて、応力やイオン性の不純物に敏感である。今回、表面粗さ R_a がおよそ 0.1 nm になるようにCMPの処理条件を最適化した。図2に示す通り、バルクのSiのヤング率 180 GPa は厚さ $50 \mu\text{m}$ までは大きく変化していないが、厚さ $50 \mu\text{m}$ を下回るとヤング率が劇的に低下することが分かった。この結果に同期するように、DRAMの保持時間はSiの厚さ $50 \mu\text{m}$ を境界に著しく低下した。この結果からSiは厚さ $50 \mu\text{m}$ 以下で柔軟な特性を示すが、同時に、過度なSiの薄化はデバイスの特性変動を引き起こすこと

を示している。

2. 薄化Siチップの自己組織化実装技術

ここでは、薄化されたSiチップを液滴の表面張力を利用して、自己組織的に高精度に位置合わせ、および接合、電気的接続を行う技術に関する取り組みだ。この技術は、申請者らが2005年から三次元積層型のLSIチップ作製に向けて開発した技術が基盤となっている。今回、ポリイミド基板上に薄化Siチップを $\pm 1 \mu\text{m}$ 以内の高精度で実装することを検討した。図3に自己組織化によるSiチップのアセンブリ工程を示す。工程は単純であり、チップを搭載する領域を親水化し、その周辺領域を疎水化する。親水性領域に液体、ここでは水銀を除いて常温で最も表面張力が高い水を滴下し、その上にチップを放す。チップ下面が液滴に接触すると同時に、液体の表面積を最小化する駆動力が作用し、チップは親水性領域の中心に高い精度で位置合わせされる。ここで用いた液滴は $1 \mu\text{l}$ 以下の微量であるため、常温でも数分で揮発する。その後、チップと基板の金属バンプを熱圧着することにより接合され、電気的な接合が達成される（今回はバンプの導通試験結果の詳細を割愛する）。

疎水化はこれまでと同様に炭化フッ素系の極薄膜（厚さ約 15 nm ）をリフトオフ法により堆積させた。一方、ポリイミドの表面は低親水性であるため、波長 172 nm のVUVを光源とし

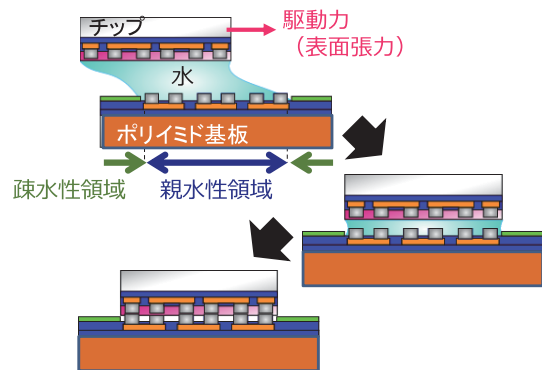


図3 自己組織化による薄化Siチップの実装工程

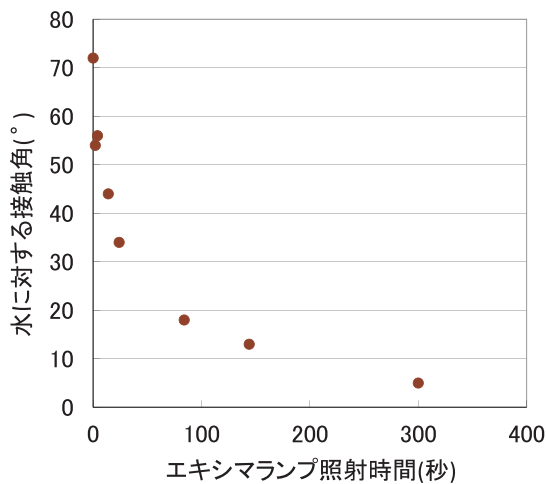


図4 VUV 改質によるポリイミド基板上の接触角の変化

たエキシマランプで改質を試みた。図4にその結果を示す。VUV 照射前のポリイミド表面の接触角は約 70 度を有する。これに VUV を照射するにつれて接触角は著しく低下し、5 分照射した後では、接触角 5 度の高親水性を示した。疎水性領域の接触角は約 100 度である。このように高い塗れ性の差は水滴が親水性領域外へ拡張するのを抑制し、高い位置合わせ精度を達成する。

図5にチップが位置合わせされる過程のスナップ写真を示す。この図から分かるように、高親水性領域に滴下された水滴はこの領域全面に拡張している。この図では、手動でチップを搬送し、おおよそ目的の位置でチップを放し

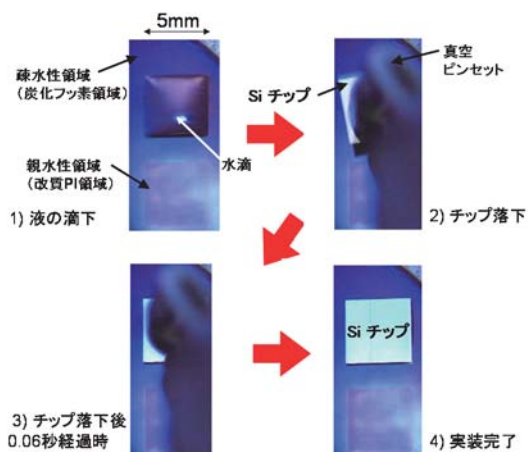


図5 水の表面張力により薄化チップがポリイミド基板に自己組織的に位置合わせされる過程

ている。したがって、XY 方向に 1 mm 以上、Z 軸方向に 3 mm 以上、また、 θ 方向にもある程度のオフセットを設けた状態でチップは落とされている。産業的には、ロボットを用いて $\pm 100 \mu\text{m}$ 程度の精度で高速に連続的に大量のチップを搬送して放すことは容易である。驚くべきことは、チップを放してから 0.1 秒以内の高速に位置合わせが完了している点である。電極のサイズが微細化する昨今の Si チップ実装では、この位置合わせに長い時間がかかり、精度と位置合わせ時間はトレードオフの関係にあることが問題視されている。この手法では、基板がポリイミドであろうとも、高速に位置合わせされることが分かった。

図6に位置合わせ精度に対する液量の効果を示す。液量が増大するにつれて、精度が徐々に低下する傾向がわかる。最適化することにより、平均位置合わせ精度 $1 \mu\text{m}$ を達成できた。位置合わせ精度が低下する理由は、チップが位置合わせされる過程で生じるチップの傾きが生じ、チップと基板に生じる摩擦力により、最も自由エネルギーが安定化される位置に到達しないことが挙げられる。厚さ $50 \mu\text{m}$ に薄化した 3 mm 角の Si チップをポリイミド基板上に高精度に実装したモジュールの上面写真を図7に示す。

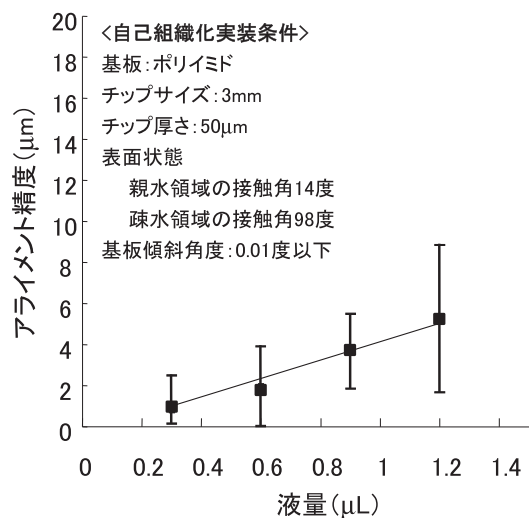


図6 液量が位置合わせ精度に与える影響

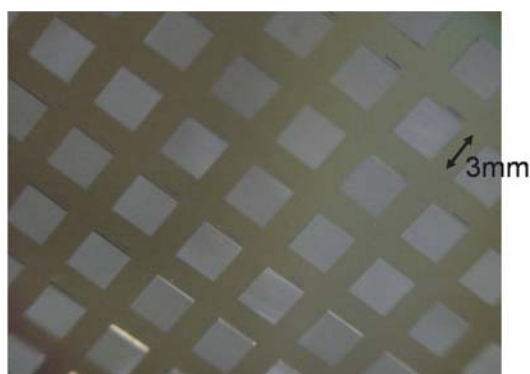


図7 3 mm 角の薄化 Si チップアレイを自己組織的に実装したポリイミド基板の写真

3. フレキシブル基板の剥離技術

ここではチップが実装されたポリイミド基板を Si ウェーハから剥離する技術について検討した。以下の2つの方法により、低ストレスでポリイミド基板を Si ウェーハから剥離することができた。1つは、Si ウェーハ上に低温 CVD で成膜した SiO₂ を犠牲層とし、この上に形成したポリイミド薄膜を緩衝フッ酸系の薬液で溶解除去する方法である。もう1つはシリコン樹脂を粘着層とするポリイミドテープを Si ウェーハ上にラミネートし、犠牲層としてシリコン樹脂を用い、スルホン酸系の薬液でこの層を溶解除去する方法である。いずれも大きな反りを発生することなくポリイミド薄膜を Si ウェーハから剥離することができた。前者の技術を応用して得られた薄化

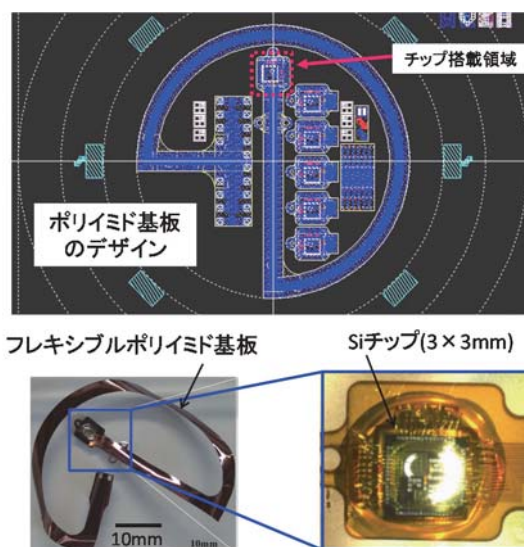


図9 フレキシブルポリイミド基板に実装した薄化 Si チップの写真 (ウェーハから剥離後)

Si チップ搭載のフレキシブルポリイミド基板の写真を図9に示す。このように Si ウェーハ上で先端の半導体微細加工技術を用い、高い精度で実装された高集積なフレキシブルデバイスを作製する要素技術の基礎を築くことができた。

[今後の研究の方向, 課題]

今回、Si ウェーハ上でポリイミド基板を作製し、薄化した柔軟な Si チップを高精度に実装して、高集積なフレキシブルデバイスを作製するための要素技術の研究に取り組んだ。薄化チップは柔軟であるが、50 μm を下回ると素子の特性変動が発生するため、特に敏感なデバイスでは Si の厚さも最適構造設計することが必要であることが分かった。チップサイズを小さくして多チップ化することで柔軟性を付与することを今後は検討していきたい。また、高い平均位置合わせ精度 1 μm が得られたものの、位置合わせ精度のばらつきを低くすることが今後の課題となる。精度低下の原因となる、チップの傾きを抑え、チップサイズ精度にも強く依存しない構造を提案して、今後の微細電極接続の研究を継続したい。チッ

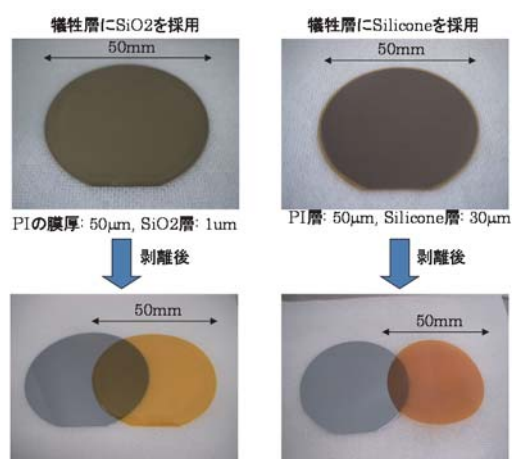


図8 Si ウェーハ上に形成した剥離前後のフレキシブルポリイミド基板の上面写真

プの剥離技術に関しては、Si チップが腐食されないような封止技術が必須であるため、剥離機構を温和にできるようにポリイミドの構造を含めて最適化する。

〔成果の発表，論文等〕

Si の薄化と応力に関しては、2015 年 9 月に行われる国際会議 SSDM (International Conference on Solid State Devices and Materials) で発表を予定している。また、自己組織化実装に関する研究成果は、2015 年 12 月が投稿期日のオープンアクセス誌 Micromachins の特集号「Special Issue “Building by Self-Assembly”」で発表を予定している。