

# 体内埋め込み型デバイスに向けた三次元集積化技術の 信頼性に関する研究

Study of Reliability Evaluation of 3D Integration Technology for Body-implantable Devices

2157005



研究代表者 東北大学大学院工学研究科 博士後期課程 菅原陽平  
共同研究者 東北大学大学院医工学研究科 教授 田中徹

## [研究の目的]

三次元集積化技術は MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の微細化によらない IC (Integrated Circuit) の高性能化が可能な技術として注目されている。三次元集積化技術によって作製される三次元集積回路 (Three dimensional IC : 3D IC) は数十 mm まで薄層化したウエハやチップを縦方向に積層し、Si 基板を貫通する配線である TSV (Through Si Via) によって各層を電気的に接続することで作製される。3D IC により、チップ面積の縮小、超並列処理、グローバル配線の短縮、異種機能の集積が可能となり、デバイスの小型化、高速化、低消費電力化、多機能化が可能となる。

このような 3D IC の特長は、高性能な体内埋め込み型デバイスに求められる省スペース、低消費電力、多機能などの要求を満たす。そのため、3D IC を適用することで、従来の IC では実現できない高性能な体内埋め込み型デバイスの実現が可能となる。

しかしながら、3D IC は、その作製工程や電気的特性に従来の IC には存在しない様々な信頼性課題を有している。図 1 に 3D IC の断面模式図と 3D IC における信頼性課題を示す。一方で、体内埋め込み型デバイスは、保守点検の難しい長期的運用や人体への安全性を考慮した

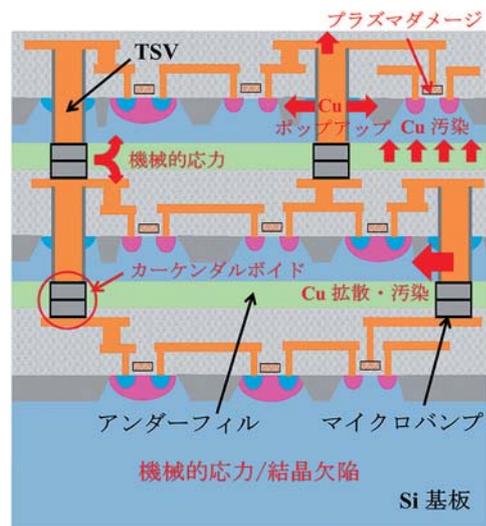


図1 3D IC の断面模式図と信頼性課題

高い信頼性が求められる。そのため、3D IC を適用した体内埋め込み型デバイスを実現するためには、高い信頼性を有する 3D IC が求められる。

本研究では、3D IC 及びその形成工程における信頼性の評価及び改善を行うことで、体内埋め込み型デバイスに適用可能な高信頼性 3D IC を実現することを目的とする。また、実際に 3D IC を適用した生体用集積回路の試作及び評価を行い、体内埋め込み型デバイスの高性能化に貢献することを目的とする。

## [研究の内容, 成果]

本研究では、完成されたチップの裏面から TSV を形成する裏面ビアラストプロセスにおける信頼性評価として TSV 形成プロセスにおけるプラズマチャージアップダメージを評価した。また、TSV と Si 基板間における電気的な信頼性を詳細に評価するために、マルチウェル構造 TSV を用いた信頼性評価手法を提案し、TSV 深さに対する TSV 側壁絶縁膜の膜質および界面の質を評価した。また、ノイズ低減による信頼性向上を目的としてアナログ・デジタル積層混載 3D IC の試作及び評価を行い、体内埋め込み型生体用 IC の信頼性向上を検討した。

### 1. TSV 形成プロセスにおけるプラズマチャージアップダメージの評価

TSV 形成技術において裏面ビアラストプロセスは様々な特長を有している。しかしながら、基板裏面から配線層に向けてビアホールを形成する裏面ビアラストプロセスではビアホールエッチングプロセスで生じるプラズマからのチャージアップダメージにより MOSFET の特性が劣化する恐れがある。図 2 にビアホールエッチングにより発生したチャージアップダメージを示す。プラズマプロセスによるチャージアップダメージは電子シェーディング効果とアンテナ効果により、ビアホールのアスペクト

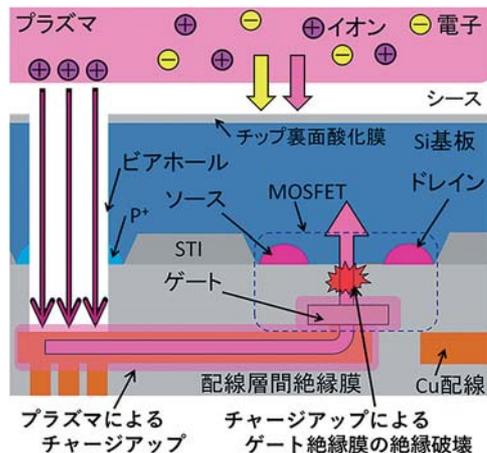


図2 ビアホールエッチングによるチャージアップダメージ

比及びプラズマ照射面積が大きくなるにつれ増加する。高性能な 3D IC には微細で高アスペクト比な TSV を高密度に配置することが要求されるため、チャージアップダメージは増大する傾向にある、そのため、高信頼性 3D IC を実現するためには高アスペクト比ビアホールエッチング時のチャージアップダメージの評価およびプラズマ条件の最適化が必要となる。本研究では MOSFET が形成された IC チップに裏面ビアラストプロセスを施し、ビアホールエッチング前後においてトランジスタ特性を測定することでビアホールのアスペクト比及びプラズマ条件とチャージアップダメージの関係を評価した。評価試料は、Si インターポーザ上に Cu/Sn マイクロバンプを介してフリップチップ接合した IC チップをチップ裏面から薄層化し、MOSFET のゲートに接続した金属配線 (M1 配線) まで ICP-RIE (Inductively Coupled Plasma-Reactive Ion Etching) を用いたビアホールエッチングを行うことで形成された。プラズマダメージ評価後にエッチング条件を調整し、再度評価を行った。図 3 に未調整のエッチング条件によるビアホール形成前後の MOSFET のゲート電流 ( $I_g$ ) - ゲート電圧 ( $V_g$ ) 特性を示す。形成したビアホールは径  $25 \mu\text{m}$ 、アスペクト比 1.6 であった。ビアホール形成の前後でゲートリーク電流が増大しており、MOSFET の性能が劣化していることがわかる。続いて、図 4 に調整済みのエッチング条

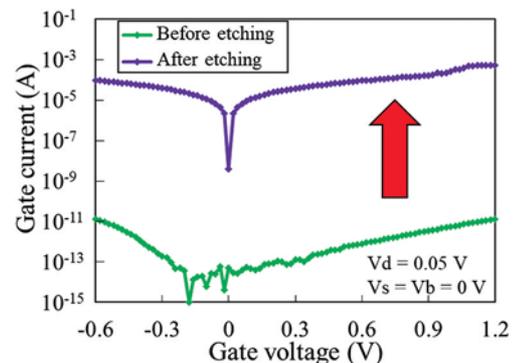


図3 未調整のエッチング条件によるビアホールエッチング前後の  $I_g$ - $V_g$  特性

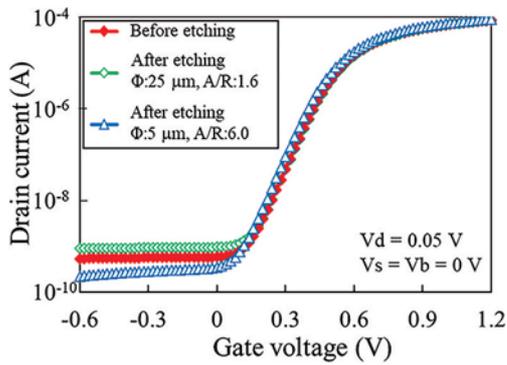


図4 調整済みのプラズマ条件によるピアホールエッチング前後の  $I_d$ - $V_g$  特性

件によるピアホール形成前後の MOSFET のドレイン電流 ( $I_d$ )- $V_g$  特性を示す。形成したピアホールは径  $25\ \mu\text{m}$ 、アスペクト比 1.6 または径  $5\ \mu\text{m}$ 、アスペクト比 6.0 であった。アスペクト比 1.6 と 6.0 のどちらの場合においても、MOSFET の主動作領域において電気特性の劣化は確認されなかった。以上のことから、本研究ではエッチング条件を調整することで、高アスペクト比を有するピアホール形成においてもプラズマチャージアップダメージを抑制可能であることが示された。

## 2. TSV 側壁絶縁膜からのリーク電流および電子ノイズの TSV 深さ方向依存性評価

TSV に関連する信頼性の問題として、TSV 側壁におけるリーク電流やカップリングノイズが TSV 周辺の MOSFET に影響を及ぼすことが懸念される。TSV からのリーク電流やノイズは TSV 側壁絶縁膜の膜厚、膜質および界面の質によって決定される。一般的に TSV 側壁絶縁膜は形状や膜質が深さ方向に不均一である。そのため、TSV からのリーク電流やカップリングノイズは複雑な挙動を示すが、TSV 側壁絶縁膜の深さ方向の特性分布は十分に調べられていない。本研究では TSV 深さ方向における側壁の電気特性の分析を実現するために、Si 基板に形成したマルチウェル構造に TSV を形成したマルチウェル構造 TSV を提案した。図 5 にマルチウェル構造 TSV を用いた TSV 深さ

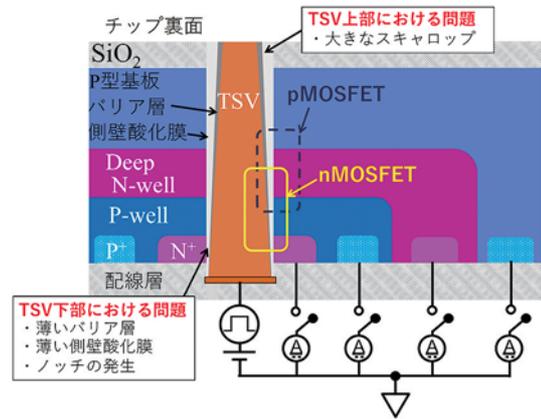


図5 マルチウェル構造 TSV による深さ方向分析のコンセプト

方向の分析のコンセプト図を示す。マルチウェル構造 TSV は TSV をゲートとした MOSFET を側壁に複数有しており、各 MOSFET を測定することで TSV 側壁の様々な状態を深さごとに分析することが可能である。本研究では IC チップ内に形成した  $N^+$  拡散層/P 型ウェル/N 型ディープウェル/P 型 Si 基板で構成されるマルチウェル領域に裏面ビラストプロセスにより TSV を形成することでマルチウェル構造 TSV を作製した。チップは Si 基板を  $25\ \mu\text{m}$  まで薄層化され、径  $7\ \mu\text{m}$ 、深さ  $25\ \mu\text{m}$  の TSV が形成された。本研究では TSV 側壁に形成された MOSFET をチャージポンピング法により分析することで TSV 側壁絶縁膜-Si 基板界面の状態を評価した。振幅が  $2.0\ \text{V}$ 、立ち上がり時間及び立ち下り時間が  $20\ \text{nsec}$ 、デューティ比が 50%、周波数が  $1\ \text{MHz}$  の電圧パルス TSV に印加し、基準電圧 ( $V_{\text{base}}$ ) を  $-3\ \text{V}$  から  $0\ \text{V}$  の間で掃引してチャージポンピング電流を測定した。4 種の不純物領域から隣接する 2 種の不純物領域を選択して  $0\ \text{V}$  を印加し、それ以外の不純物領域をフローティングとすることで 3 種のチャージポンピング電流を測定した。P 型 Si 基板と N 型ディープウェルに  $0\ \text{V}$  を印加した際に P 型 Si 基板に流れる電流を  $I_{\text{cp1}}$ 、N 型ディープウェルと P 型ウェルに  $0\ \text{V}$  を印加した際に N 型ディープウェルに流れる電流を  $I_{\text{cp2}}$ 、P 型ウェルと N 型拡散層に  $0\ \text{V}$  を印加した際

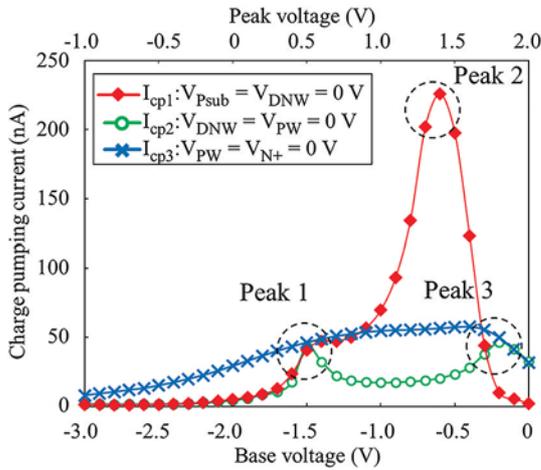


図6 マルチウェル構造 TSV 側壁のチャージポンピング電流

に P 型ウェルに流れる電流を  $I_{cp3}$  とした。図 6 に測定したチャージポンピング電流と  $V_{base}$  の関係を示す。各チャージポンピング電流は異なる  $V_{base}$  でピークを示した。これらのピークは 0V を印加した不純物領域の側壁酸化膜界面の状態に依存したチャージポンピング電流だと考えられる。そのため、図中に Peak1 と示した  $V_{base} = -1.4$  V で  $I_{cp1}$  と  $I_{cp2}$  に共通して観察されたピークは  $I_{cp1}$  と  $I_{cp2}$  の測定で共通して 0 V を印加した N 型ディープウェルの側壁酸化膜界面の状態に依存したチャージポンピング電流であると考えられる。一方、Peak2 と示した  $V_{base} = -0.7$  V で  $I_{cp1}$  に観察されたピークは他に共通のピークがないことから P 型 Si 基板の側壁絶縁膜界面に依存したチャージポンピング電流であると考えられる。同様に Peak3 と示した  $V_{base} = -0.2$  V のピークは P 型ウェルと側壁酸化膜界面の状態に依存したチャージポンピング電流であると考えられる。また、 $I_{cp3}$  から得られたピークは他のピークと比較して緩やかであった。この理由としてビアホール下部のバリア層が薄いために Cu が酸化膜中や Si に拡散し、Cu をトラップ準位としたチャージポンピング電流が発生したためと考えられる。これらの結果から、今回作製した試料では TSV 側壁絶縁膜の質及び側壁絶縁膜-Si 基板界面の状態が深さ方向に不均一であり、特に TSV 底部

における膜質及び界面の状態が良好でないと考えられる。

これらの結果から、本研究で提案したマルチウェル構造 TSV を用いることにより、これまでの手法では評価が非常に困難であった TSV 側壁界面の状態を深さ毎に簡便かつ定量的に評価することが可能となった。

### 3, 体内埋め込み型デバイス用アナログ・デジタル積層混載 3D IC の試作

生体信号を扱う体内埋め込み型デバイスは医療や障がい者支援など様々な分野においてその利用が期待されている。体内埋め込み型デバイスに使用される生体用集積回路には正確な信号記録および処理機能が求められる。一般に生体信号の信号振幅は微小であるため、信号を正確に分析し、活用するためには目的の信号を必要な振幅まで増幅することが求められる。また、取得した生体信号の記録およびコンピュータによる解析を行うためには、アナログの生体信号をデジタルデータに変換する必要がある。生体用 IC には、連続的な値の信号を扱うアナログ回路と離散的な値の情報を扱い論理演算を行うデジタル回路を同一 Si 基板上に集積したアナログ・デジタル混載 IC が使用される。アナログ回路はノイズの影響を受けやすく、デジタル回路はノイズ源となるため、アナログ・デジタル混載 IC はデジタル回路で発生したノイズがアナログ回路に伝搬し、S/N 比（信号/ノイズ比）が低減することが懸念される。生体用 IC はノイズの発生や伝搬に対して様々な手法を用いて対策を行ってきたが、回路の面積や設計条件によって、完全にノイズの影響を抑制することはできていない。このような課題に対して本研究ではアナログ回路とデジタル回路を異なるチップに集積し、TSV により各チップを電気的に接続することで三次元集積化したアナログ・デジタル積層混載 3D IC を提案した。アナログ・デジタル積層混載 3D IC は 3D IC の特長である高機能化および高集積化に加えて、

各回路を基板レベルで分離するため、ノイズ低減による S/N 比の向上が期待され、より医療や障がい者支援に貢献可能な体内埋め込み型デバイスを実現できると考えられる。

本研究では生体用 IC の三次元集積化による高性能化を検証するためにアナログ回路である低ノイズ増幅器、デジタル回路である ADC (Analog-Digital Converter)、ノイズ源である R/O (Ring Oscillator) を集積したノイズ検証用チップを試作した。本研究で試作したノイズ検証用チップは同じチップを 2 枚使用し、TSV を用いて三次元積層することで、上層または下層チップにおける任意の回路を選択して複数同時に動作および測定できるように設計した。そのため、同一または別個のチップに配置された複数の回路を同時に動作させ、各場合におけるノイズ特性を評価することで、ノイズの伝搬に対する基板分離の効果を詳細に評価することが可能である。本研究では、アナログ・デジタル積層混載 3D IC および単層のアナログ・デジタル混載 IC のノイズ特性をシミュレーション及び実測により評価した。シミュレーションは、Finite-difference method を用いて基板および TSV を一定区間で分割することで評価モデルを作成し、Micro model 法をもとに回路シミュレータ HSPICE を用いて行った。TSV は配線材料を Cu、側壁絶縁膜材料を SiO<sub>2</sub> として、寸法は径 20  $\mu\text{m}$ 、長さ 50  $\mu\text{m}$ 、側壁 SiO<sub>2</sub> 膜厚 500 nm とした。また、裏面ビアラスタプロセスによって試作したアナログ・デジタル積層混載 3D IC および単層のアナログ・デジタル混載 IC を測定し、ノイズ特性を評価した。

図 7 に単層のアナログ・デジタル混載 IC の R/O を動作させた際の低ノイズ増幅器の出力波形およびアナログ・デジタル積層混載 3D IC の上層の R/O を動作させた際の下層の低ノイズ増幅器の出力波形を周波数スペクトル解析したシミュレーション結果を示す。周波数スペクトル解析はサンプルレートが 1 GHz で

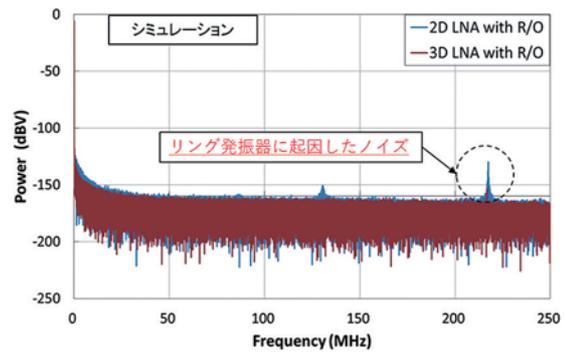


図 7 単層および三次元積層構造の低ノイズ増幅器のノイズスペクトルのシミュレーション解析結果

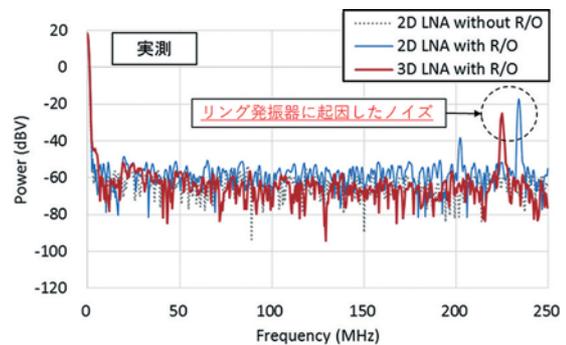


図 8 単層および三次元積層構造の低ノイズ増幅器のノイズスペクトルの実測解析結果

Hanning 窓関数を用いて行った。R/O の動作によって単層のアナログ・デジタル混載 IC の基板モデルではノイズピークが  $-131$  dBV であったの対しアナログ・デジタル積層混載 3D IC の基板モデルでは  $-156$  dBV とノイズ低減の効果が確認された。また、図 8 に単層のアナログ・デジタル混載 IC の R/O を動作させた際の低ノイズ増幅器の出力波形およびアナログ・デジタル積層混載 3D IC の下層の R/O を動作させた際の上層の低ノイズ増幅器の出力波形を周波数スペクトル解析した実測結果を示す。R/O の動作によって単層のアナログ・デジタル混載 IC ではノイズピークが  $-17.4$  dBV であったの対しアナログ・デジタル積層混載 3D IC では  $-25.2$  dBV とノイズ低減の効果が確認された。

以上の結果から、アナログ回路とデジタル回路の基板分離によるノイズ低減の効果がシミュレーションおよび実測評価の両方によって示さ

れ、アナログ・デジタル積層混載 3D IC は S/N 比向上に有効であることが示された。

[今後の研究の方向, 課題]

本研究ではアナログ・デジタル積層混載 3D IC がノイズの抑制に有効であることをシミュレーションおよび実測結果の両方から示した。しかしながら、実測のノイズ抑制効果はシミュレーションの場合と比較して小さかった。この理由として、TSV 側壁絶縁膜がノイズの伝搬経路となっている可能性が考えられる。今後、本研究で提案したマルチウェル構造 TSV による側壁絶縁膜評価技術を用いて、TSV 起因のノイズを詳細に評価し、改善することで体内埋め込み型デバイスとして適用可能な高信頼性を有する 3D IC の形成が可能となると考えられる。

[成果の発表, 論文等]

- [1] Yohei Sugawara, Hideto Hashiguchi, Seiya Tanikawa, Hisashi Kino, Kang-Wook Lee, Takafumi Fukushima, Mitsumasa Koyanagi, and Tetsu Tanaka, "Impact of Deep-Via Plasma Etching Process on Transistor Performance in 3D-IC with Via-Last Backside TSV," *IEEE Electronic Components and Technology Conference*, pp.822-827, USA, May, 2015.
- [2] Yohei Sugawara, Hisashi Kino, Takahumi Fukushima, Kang-Wook Lee, Mitsumasa Koyanagi, and Tetsu Tanaka, "Evaluation of Depth-dependent TSV-liner Interface States Using Multi-well Structured TSV and Charge Pumping Technique," *International Conference on Solid State Devices and Materials*, pp. 467-468, Japan, September, 2016.