

〔国際会議発表〕

発表研究者	大阪府立大学大学院 工学研究科 博士後期課程 高田 賢志	2182106
参加会議	2018 MRS FALL MEETING & EXHIBIT	
開催場所	Boston・USA	
出張期間	2018年11月26日～12月2日	
発表論文	Physical Nature of Negative Capacitance Emerged in Ferroelectric-gate FETs 強誘電体ゲート FET における負性容量発現原理の物理的本質	

概 要：

参加した国際会議（2018 MRS FALL MEETING & EXHIBIT）は材料研究における最先端の研究報告や、50件以上のシンポジウムが開催され、世界各国からおよそ6000人もの材料の専門家や企業のデバイスの専門家も参加する大変規模の大きな卓越した会議である。この国際会議において、「強誘電体ゲート FET における負性容量発現原理の物理的本質」についての口頭講演を行った。近年大変注目を集めている負性容量 FET は、強誘電体のもつ負性容量をゲート絶縁膜として用いることにより、MOSFET におけるサブスレッショルド領域における電流の立ち上がりを理論限界を突破して急峻にすることで、駆動電圧・オフリークスの低減が実現できる可能性があるといったものである。しかしながら、負性容量 FET の基本構造である強誘電体ゲート FET における負性容量の発現メカニズムは十分に理解されていない。そこで本会議では、強誘電体/半導体ヘテロ接合における負性容量の物理的な発現起源を提案した。

会議においては、多くの研究者から質問をいただき、講演終了後も私のところに直接質問してきてくださる方もおり、材料研究のエキスパートが多く参加する本会議で、自身の提案する負性容量発現起源をアピールすることができ、極めて良い機会となった。また、世界の研究をリードする方々の招待講演を聴講することで、自身の分野や関連分野の最新の研究動向を把握し、情報収集することができ、大変有意義なものとなった。貴財団の国際交流助成を通じ、国際的な交流の場をいただけたことに深く感謝致します。