

[研究助成 (C)]

低誘電率ポリマー TSV と基板分離による 超低ノイズ三次元集積回路とそのバイオ応用

Ultra-low noise three-dimensional integrated circuit with low dielectric constant polymer TSV
and substrate separation and its bioapplication

2187001



研究代表者 東北大学大学院 工学研究科 博士後期課程 李 晟 豪

[研究の目的]

複雑な微小信号を生体から正確に記録したり、生体を刺激するための集積システムは、主にアナログ回路、デジタル回路、外部記録装置等で構成されており、信頼性向上のために回路の動作ノイズ低減が大きな課題となっている。本研究では、極めて低ノイズの生体用 IC を創出するために必要な技術プラットフォームを構築し、チップの試作を通して機能を実証する。

本研究は、三次元集積によってアナログ回路とノイズ源であるデジタル回路を基板レベルで分離した生体用三次元集積回路 (3DIC) を提案している点が独創的である。また、簡便なスピンドットプロセスを用いて、微細かつ高アスペクト比の Si ホールの中に低誘電率のポリマーをコンフォーマルに成膜する TSV (TSV: Through Si Via) の新しい作製技術を開発する点が大きな特色である。基板レベルで完全分離されたアナログ回路とデジタル回路を低誘電率ポリマー TSV で接続した 3DIC は、これまでノイズに埋もれて利用が困難であった信号の処理を実現できる。信頼性の高い生体情報の理解と利活用に価値のある成果をもたらすとともに、将来の生体信号処理用デバイスの発展に貢献できる。

従来の二次元集積回路の構成でノイズを議論している研究は多いが、アナログ回路とデジタル回路を基板レベルで分離した生体用 3DIC のノイズ評価に関する詳細な研究は行われていない。また、ポリマーを絶縁膜に使った TSV の報告例はあるが、低誘電率化に対するポリマー構造の選択肢が少なく、スピンドットのような簡便な手法の報告例は無い。さらに、深い Si ホールにコンフォーマルに成膜されるポリマーの成膜挙動は流体科学的にも非常に興味深い。アナログ回路搭載基板とデジタル回路搭載基板を完全に分離して積層し、低誘電率ポリマーで絶縁された Si 基板貫通配線を介して電氣的に接続した 3DIC を作製し、人間と機械を結ぶ高信頼生体用集積システムの実現に貢献する。

[研究の内容・成果]

1 年目

低誘電率ポリマー TSV の作製及び特性評価

ノイズ源として作用するデジタル回路を基板レベルでアナログ回路から分離することは有用なノイズ除去方法であるが、TSV 側壁絶縁膜の膜質由来するノイズは依然として残る。そこで比誘電率が低いポリマーを用い、真空支援スピンドットにより低誘電率ポリマー TSV を作

製して側壁絶縁膜ノイズの低減を図る。従来の高真空下で成膜する化学気相堆積（CVD）による SiO₂とは異なり、プラズマダメージを与える可能性がないので信頼性は一層高まる。評価の詳細を以下に示す。

【ポリマーライナーの形成と電気的特性評価】

図 1 に示すように、TSV 側壁絶縁膜であるポリマーライナーには、低い誘電率と誘電正接に加えて高い厚さ均一性が求められる。表 1 に示す通り、本研究では SiO₂（比誘電率 4.0）に比べて大幅に誘電率が低いポリイミド（比誘電率 3.3）やポリベンゾオキサゾール（比誘電率 3.0）、低誘電率ポリマーとして高周波用の再配線で利用されるベンゾシクロブテン樹脂（比誘電率 2.65）などを利用する。以下に直径 8 μm、深さ 40 μm の Si ビアホール内に真空支援スピン塗布により BCB ライナーを成膜した結果を示す。図 3 は回転速度 600 rpm、回転時間 40 秒、エアバブル除去圧力 100 Pa 以下で行ったとき得られた試料の断面 SEM である。ビア

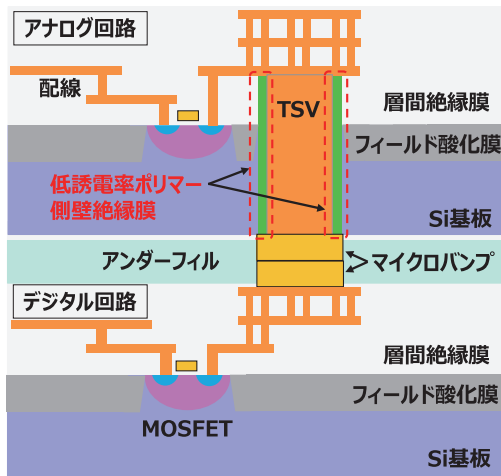


図 1 Cu-TSV を用いた積層チップの構造

表 1 TSV ライナー絶縁膜材料の特性比較

	SiO ₂	PI	BCB
比誘電率	3.9	3.4	2.65
体積抵抗率 (Ω·cm)	10 ¹⁶	10 ¹⁶	9.0×10 ¹⁹
ヤング率 (GPa)	72~74	3	2.34
絶縁体圧 (MV/cm)	10	4~5	4~5
形成温度 (°C)	150~400	350~400	250

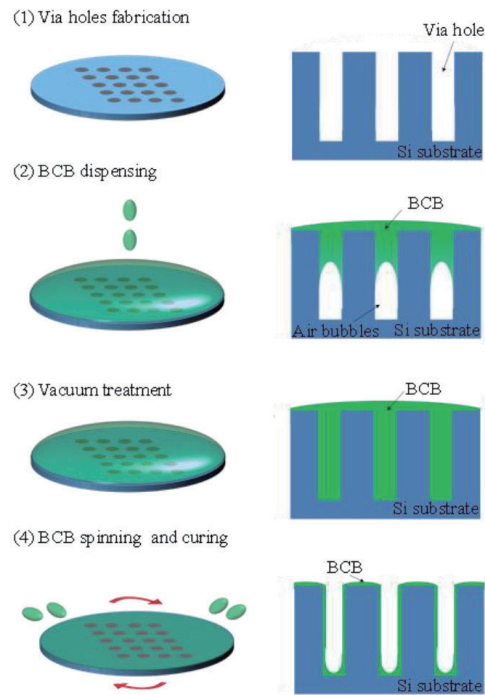


図 2 真空支援スピン塗布工程

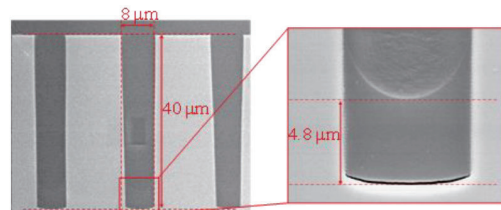


図 3 底部に厚く成膜された BCB ライナーの断面 SEM

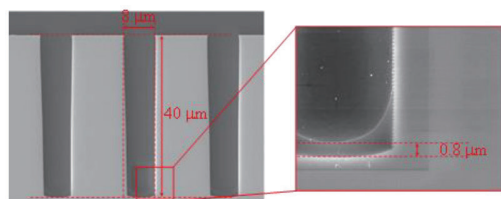


図 4 底部に薄く成膜された BCB ライナーの断面 SEM

ホール底部の BCB は 4.8 μm と厚く成膜されていることが観察できた。図 4 には回転速度 5000 rpm、回転時間 40 秒、エアバブル除去圧力 10 kPa 以下で行った時に得られた試料の断面 SEM を示している。底部の BCB 厚さは 0.8 μm であった。このように、真空支援スピン塗布法を用いて BCB ライナーを Si ビアホール底部に薄く成膜することに成功した。Si ビアホールの側壁には厚さ 200 nm ほどの BCB が

一様に成膜されていることも観察できた。エアバルブを除去するための真空工程は、BCBの溶媒の蒸気圧に強く影響し、スピン塗布後のビア底部のBCB厚さ制御に極めて重要な因子となる。

表1に示す通り、ポリイミドと比べるとBCBの誘電率は極めて低く、また低温硬化が可能であることからビアラストTSV形成工程に適している。直径8 μm、深さ40 μmのトレンチ型キャパシタ構造を用いてBCBライナー付きCu-TSVの電気的特性を評価した。図4には作製したキャパシタの断面SEMを示している。ボイドの発生無く、ボトムアップで完全にCuが埋め込まれていることが分かる。

C-V測定により得られたTSVとSi基板間の容量とTSVの本数の関係を図5に示す。TSVに印加した電圧の周波数は1 MHzで5 Vから-5 Vの範囲で電圧を掃引した。図5から作製したBCBライナー絶縁膜付きTSVの個数が増加するに比例して容量値が増加していることが確認でき、側壁からのリークが無くTSVが正常に形成されていることを示すことができた。これらの結果は、真空支援スピン塗布法が誘電率の低いスピン塗付材料をTSVライナー絶縁膜として利用可能であることを示している。

以上をまとめると、真空支援スピン塗布法を用い、低誘電率のBCBをTSVのライナー絶縁膜として使用可能であることを示した。高い

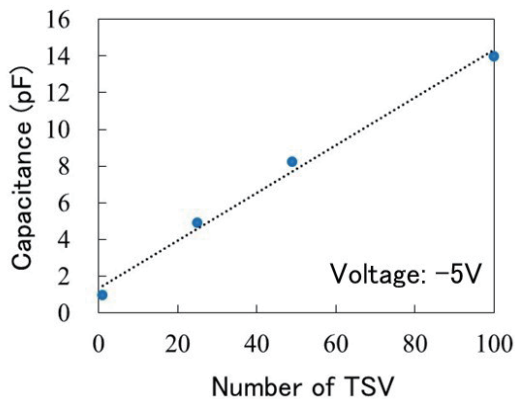


図5 BCBライナー付きTSVキャパシタのC-V特性

被覆率で成膜でき、成膜条件を変えることでBCB膜厚を制御可能であることを示した。また、従来のCVDに比べて低温で低誘電率の絶縁膜が形成可能であり、ビアラスト/バックビアTSV形成工程に対する高い適用可能性を示した。

2年目

三次元積層人工網膜チップの試作と機能検証及びPDMS上への実装

これまで当研究室で試作した人工網膜は、アナログ回路とデジタル回路を混載した基板を2層積層した三次元チップであった。図6に示している受光チップと信号処理、刺激電流生成チップをTSVを用いて積層する。

また、有機半導体、アモルファス半導体、多結晶半導体を使わずに、通常集積回路チップを機能ブロック毎に分割した小さくかつ性能が高い無機単結晶半導体のチップレットを有機基板に埋め込んだフレキシブルシステム (Flexible Hybrid System; FHS) 開発している。今回、図7のように、FHSにさらに高機能な三次元積層チップを埋め込むことで、さらなる高機

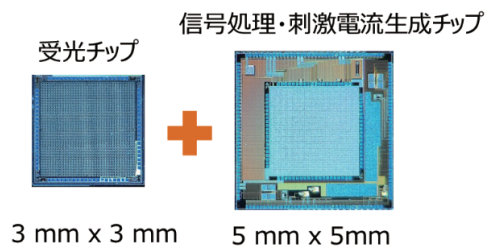


図6 人工網膜用受光チップ及び信号処理・刺激電流生成チップ

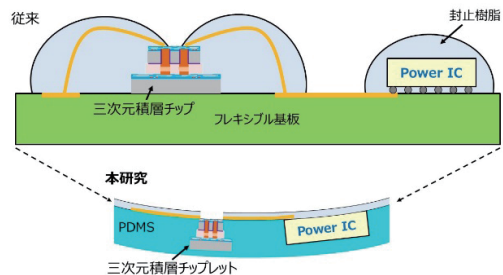


図7 高性能な三次元積層チップレットを埋め込んだFHSの概念図

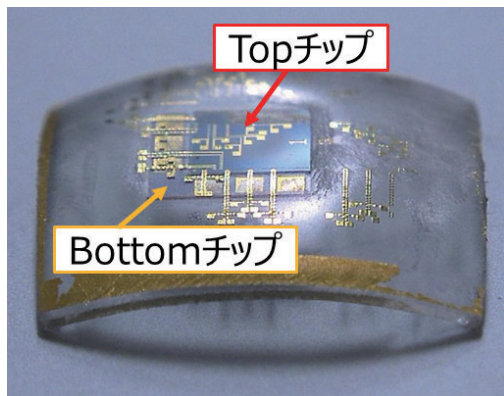


図8 作製した三次元積層チップレット内蔵 FHS

能、多機能化が可能でありノイズ減少や電源信号の高品質により高信頼埋め込み型デバイスモジュールを作製可能である。

図8には、本研究で作製した三次元積層チップレット内蔵 FHS を示している。形成された RDL はチップの上と PDMS の上でもクラックやしわなく配線を形成することが確認できた。

本研究では三次元積層チップレットを内蔵したフレキシブルハイブリッドシステム (FHS) を提案し、高性能な無機単結晶半導体デバイスに柔軟性を発現させる新しいシステム集積化の方法論を実証することができた。

[今後の研究の方向, 課題]

今回、低誘電率ポリマー塗布工程、三次元積層人工網膜チップの試作、三次元積層チップレットを埋め込んだ FHS の試作を完了した。

今後、低誘電率ポリマー TSV を用い、アナログ回路とデジタル回路を基板毎に分離し、それらを積層した三次元人工網膜チップを試作する。これにより上層のアナログ回路 (イメージセンサ) で撮像した大量の映像信号が、下層のデジタル回路で -40 dB 以下の低ノイズで高速伝送できることを実証する。その後、図9に示

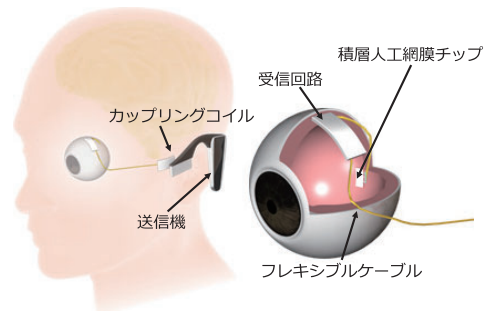


図9 Cu-TSV を用いた人工網膜モジュール構造

すように三次元積層人工網膜チップをモジュール化し、In-vitro 評価、さらにはウサギを用いた In-vivo 試験により三次元集積人工網膜の動作検証を行う。

[成果の発表, 論文等]

- 1) **Sungho Lee**, Rui Liang, Yuki Miwa, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Multichip thinning technology with temporary bonding for multichip-to-wafer 3D integration" *Japanese Journal of Applied Physics*, vol. 59, pp. SBBA04-1-7.
- 2) **S. Lee**, Y. Susumago, Z. Qian, N. Takahashi, H. Kino, T. Tanaka, and T. Fukushima, "Development of 3D-IC embedded flexible hybrid system," *IEEE International 3D Systems Integration Conference*, Sendai, Japan, October 8-10, 2019, (**Student Poster Award**)
- 3) **S. Lee**, R. Liang, Y. Miwa, H. Kino, T. Fukushima, and T. Tanaka, "Multichip thinning technology with temporary bonding for multichip-to-wafer 3D integration," *2019 6th International Workshop on Low Temperature Bonding for 3D Integration*, Kanazawa, Japan, May 21-25, 2019.
- 4) **S. Lee**, Y. Sugawara, M. Ito, H. Kino, T. Fukushima, and T. Tanaka, "TSV liner dielectric technology with spin-on low-k polymer," *2018 International Conference on Electronics Packaging and iMAPS All Asia Conference*, Kuwana, Japan, April 17-21, 2018.