

## [研究助成 (C)]

# 三次元積層型集積回路を内蔵したフレキシブル浅皮下 生体情報可視化シートの開発

## Development of Smart Skin Display with 3D-stacked Heterogeneous Dielets

2217006



研究代表者

東北大学 大学院工学研究科

博士課程

煤 孫 祐 樹

## [研究の目的]

近年, フレキシブルデバイスの性能向上のため, Si 等の無機半導体チップと有機基板を融合させたフレキシブル・ハイブリッド・エレクトロニクス (FHE) が注目されている。しかし, 従来 FHE ではチップを極薄化して曲げに追従させるため特性が変動する。本研究では, 小さく分割した三次元積層型集積回路 (3D-IC) ダイレットを有機基板に多数埋め込み, ウエハレベルで相互に接続し, 高い柔軟性と信頼性を持つ高集積なフレキシブルエレクトロニクスの技術基盤を創成する。応用として血管から様々な生体情報をリアルタイムで可視化できる生体情報可視化シートを提案する。血管のモニタリングは血栓などによる血管の収縮・膨張などの情報を得ることができ, 健康維持に役立てることができる。本研究で構築する 3D-IC を用いた新しい FHE プロセスは, フレキシブルデバイスの集積度を飛躍的に向上させることが期待され, 曲がるデバイスに加えて曲面に集積できる立体的なエレクトロニクスのシステム集積にインパクトをもたらす。生体情報可視化シートの概要を図 1 に示す。2.5 mm 角の 3D-IC チップレットに  $6 \times 6 = 36$  個の  $100 \mu\text{m}$  角の Micro-LED を実装する。この 3D-IC を 30 mm 角のシートに  $12 \times 12 = 144$  個埋め込むことにより, 5,184 ピクセルになる。3D-IC の基本

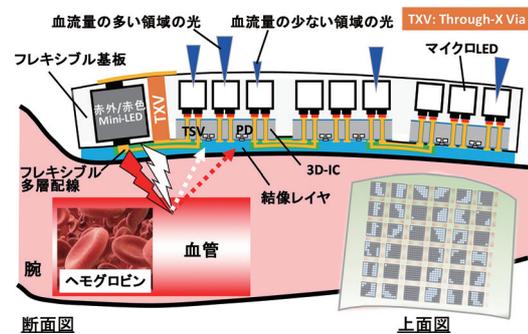


図 1 浅皮下生体情報可視化シートの構造

回路は, 赤色/近赤外光を受光するフォトダイオード, 増幅回路, 電流/電圧変換回路, 矩形波発生回路, LED 駆動回路から構成され, TSV を通して表示用青色 Micro-LED が接続される。隣接して赤色/近赤外光照射用 Mini-LED を実装する。これらは 2 層のフレキシブル多層配線で接続され, 絶縁膜を介してフレキシブルな樹脂で埋め込まれた構造となる。このデバイスの開発のために必要な要素技術として, ① フレキシブル多層配線の作製, ② 樹脂基板貫通配線 (TXV) の作製, ③ 3D-IC チップレットの作製, ④ 3D-IC と Micro-LED の一括接合が挙げられる。本研究ではこれらの要素技術の開発に取り組んだ。本研究で提案する浅皮下生体情報可視化シートの特色は, 生体情報の取得と血管情報の表示を同時に行うことができる点にある。従来の無機半導体デバイスは高性能であるが硬いため, 広範囲の皮膚に追

従することが困難である。有機材料を用いたフレキシブルデバイスでも生体情報を取得できるものは開発されているが、得られた信号を外部PCに送信し解析するためには単結晶Si製のメモリや無線回路が必要となる。本研究では3D-ICを有機基板に埋め込むことで、生体情報の取得・解析・表示をデバイス上で完結し、皮膚に追従可能な柔軟なデバイスを開発する。本研究の成果は、フレキシブルデバイスの集積度を飛躍的に向上させ、従来の電子デバイスの可能性を広げ、電気電子工学や医工学分野の発展に大きく貢献することができる。

## [研究の内容, 成果]

### 1 年目

#### フレキシブル多層配線の作製

浅皮下生体情報可視化シートのような高集積なフレキシブルハイブリッドデバイス作製のためには従来の半導体プロセスで用いられるような多層配線が不可欠である。そこで本研究では多層配線を有するFHE作製のため、高い柔軟性と生体適合性を持つPDMSを基板として二層配線を形成し、繰り返し曲げ試験により配線の機械的耐久性を評価した。図2はフレキシブル多層配線の作製プロセスである。まず、130℃で熱発泡する低温熱剥離シートを貼った

第一支持基板にPDMSを注型し、200℃で熱剥離する高温熱剥離シートを貼った第二支持基板で挟んでPDMSを硬化するとともに圧縮成型を行った。PDMSの厚さは500 $\mu\text{m}$ とした。今回、多層配線のみを評価を優先したため、チップレットを埋め込む工程を省略した。続いて、第一支持基板を剥離した後、PDMSと配線間の応力緩衝層として厚さ $\mu\text{m}$ のパリレンを蒸着により成膜した。その後、Ti 15 nm, Au 500 nmをスパッタし、フォトリソグラフィとウェットエッチングにより一層目の配線を形成した。次に、応力中立軸が二層配線の中心となるように設計し、層間絶縁膜として厚さ4 $\mu\text{m}$ のSU-8をスピコートしてフォトリソグラフィにより二層目と一層目の配線を繋ぐコンタクトホールを形成した。一層目と同様の方法で二層目の配線を作製し、最後に第二支持基板から二層配線を形成したPDMSを剥離した。

各材料の厚さは、配線の応力中立軸が2層配線の中に位置するように設計した。応力中立軸とは物体が曲がった時に変形が起こらない面を指す。応力中立軸に近いほど曲げた際の変形量が抑えられるため、応力中立軸と配線の位置を合わせることでフレキシブル配線の曲げ耐性向上が見込まれる。作製したフレキシブル2層配線の写真と繰り返し曲げ試験の結果を図3、図4に示す。繰り返し曲げ試験の結果、1000回の曲げ後も抵抗の上昇は抑えられており、応力中立軸の設計により、高い曲げ耐性を持つフレキシブル多層配線の作製に成功した。

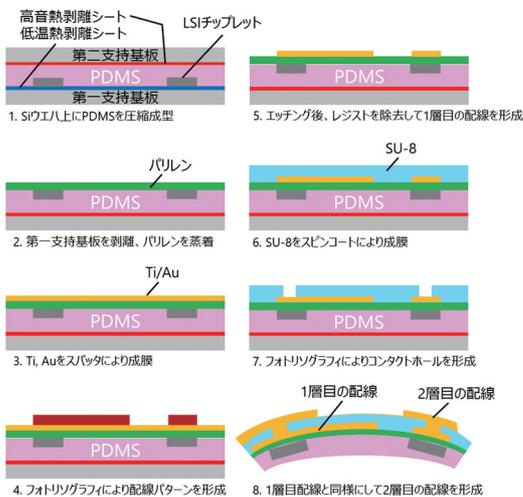


図2 フレキシブル多層配線の作製方法

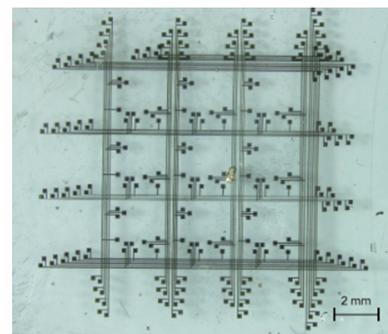


図3 作製したフレキシブル多層配線の顕微鏡写真

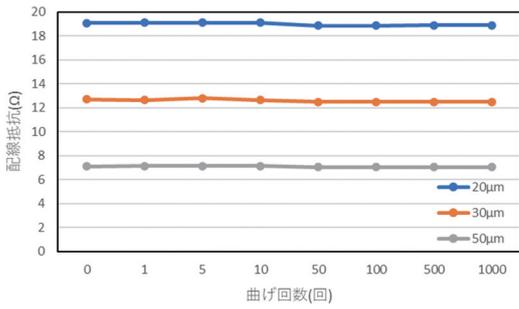


図4 フレキシブル2層配線の繰り返し曲げ試験結果

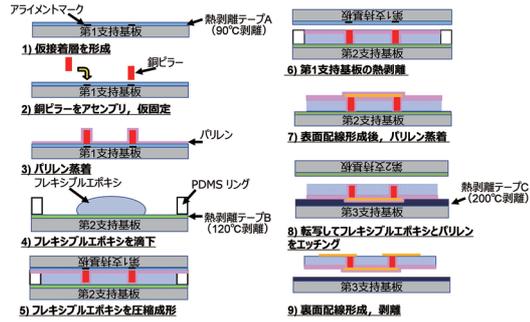


図5 フレキシブル基板貫通配線の作製プロセス

### 樹脂基板貫通配線 (TXV) の作製

従来のフレキシブル配線は両面配線においては、ポリイミドなどのフレキシブル基板にレーザーなどで穴あけ加工を行い、レジストを形成した後にめっきにより貫通配線を作製している。この方法の問題点としてはプロセスが煩雑で、めっきに長時間かかること、低アスペクト比の貫通配線しか作れず厚い基板では貫通配線の形成が困難といった問題がある。本研究ではこれらの問題を解決するため微細な銅ピラーをTXVとして採用し、数百μmの厚い基板での基板貫通配線作製に挑戦した。

評価試料の作製方法を図に示す。まず、第一支持基板としてSiウエハ上に熱剥離テープAを貼り、直径300μm、高さ300μmの銅ピラーをダイボンダーでアセンブリして仮接着を行い、銅ピラーを基板に固定するアンカー層としてパリレン200nmを蒸着した。次に、第二支持基板としてSiウエハ上に剥離温度の高い熱剥離テープBを貼り、第二支持基板上にフレキシブルエポキシを滴下した。その後、第一支持基板を第二支持基板に重ね、フレキシブルエポキシを圧縮成形し硬化した。加熱により熱剥離テープAを剥離させた後、その上にTi 15nm, Au 500nmをスパッタし、フォトリソグラフィとウェットエッチングにより表面配線を形成した。続いて熱剥離テープCを貼ったSiウエハに試料全体を反転して接着し、熱剥離テープBを熱剥離した。表面配線と同様に裏面配線を形成し、最後に熱剥離テープCを剥離し、TXVを介して表裏面を接続するフレキ

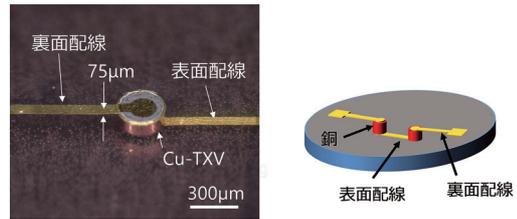


図6 銅ピラー TXV を用いた両面配線

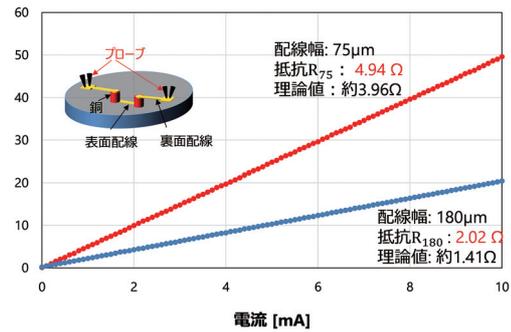


図7 銅ピラー TXV を用いた両面配線の電気特性

シブル配線を形成した。

配線幅75μmで接続されたTXVの写真を図6に示す。また、厚さ300μmのフレキシブルエポキシ基板に内蔵した2本の銅ピラーから構成されるTXVを含む表裏フレキシブル配線のI-V特性の結果を図7に示す。この図からフレキシブルエポキシ基板に埋め込まれた2本のTXVを介して得られた両面配線の電流と電圧は線形関係にあり、オーミックな接続が得られた。配線抵抗が理論値より僅かに高い原因は、銅ピラー表面の酸化物はクエン酸処理により除去しているため、銅ピラーの酸化ではなく、銅ピラーと配線の接触抵抗によるものと考えられる。

銅は高い熱伝導率を持つため、本研究の銅ピラーとフレキシブル樹脂基板のインテグレーション技術は配線だけでなく放熱設計等にも応用が期待できる。

## 2 年目

### 3D-IC チップレットの作製

当研究室はこれまで、3D-IC に関する研究を多数報告しているが、本研究では 3D-IC の作製工程の内バリア/シード層の成膜に着目した。生体情報可視化シートでは複数チップ同時に TSV の作製を行う。そのため、アライメントエラーの影響を最小限に抑えるため、可能な限り高いアスペクト比の TSV が求められる。先端の高アスペクト比 TSV 作製工程では TSV のバリア/シード層の成膜のためにロングスロースパッタやイオナイズドスパッタなどの特殊なスパッタリング装置が用いられる。しかし、これらの特殊スパッタ装置は非常に高コストである。そこで本研究ではこれらの特殊スパッタ装置ではなく、汎用スパッタ装置を用いて可能な限り高いアスペクト比の TSV の作製を目指した。

はじめに、深堀 RIE によりシリコンウエハ上に直径  $10\ \mu\text{m}$ 、深さ  $85\ \mu\text{m}$  のピアホールを形成した。その後 CVD により  $4\ \mu\text{m}$  の  $\text{SiO}_2$  膜を成膜した。汎用スパッタで  $250\ \text{nm}/1750\ \text{nm}$  の Ti/Cu バリア/シード層を成膜し、最後に Cu 電解めっきによりピアホールの埋め込みを行った。作製した TSV の断面を観察したところ、TSV の深さが  $40\ \mu\text{m}$  以上では埋め込みに失敗していることが確認された。この結果から汎用スパッタによる TSV の最大アスペクト比は 4 と定まった。

図 8 に 3D-IC の作製プロセスを示す。まず、仮接着剤を用いてチップを石英ウエハに固定し、チップを厚さ  $40\ \mu\text{m}$  まで薄化した。続いて深堀 RIE によりピアホールを形成し、CVD により側壁に酸化膜を形成した。ドライエッチングによりピアホール底面の酸化膜を除去した後、

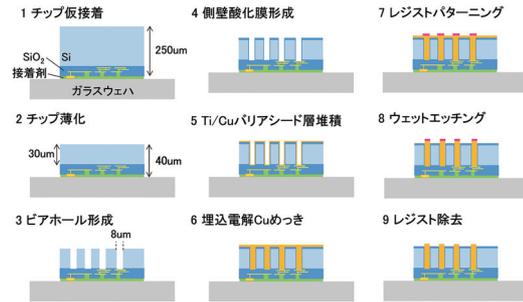


図 8 3D-IC の作製プロセスフロー

汎用スパッタによりバリア/シード層を形成した。次に電解めっきによりピアホールに Cu を埋め込んだ。TSV 上にレジストをパターンニングした後、ウェットエッチングによりバリア/シード層を除去した。

### 3D-IC と Micro-LED の一括接合

生体情報可視化シートにはマイクロ LED を採用している。マイクロ LED は高輝度・低消費電力・長寿命といった利点から次世代のディスプレイ材料として注目を集めている。従来のマイクロ LED と基板との接合にははんだマイクロバンプなどを用いた熱圧着が使われている。一般的にマイクロ LED の接続には半田バンプや異方導電性材料を用いた熱圧着が検討されているが、薄い 3D-IC に大きな熱応力を与える高温が必要となり、狭ピッチ化も課題となっている。これらを解決するため、本研究では常温で接合できる Cu めっき直接接合を提案した。Cu めっき直接接合を用いた 3 次元積層プロセスを図 9 に示す。マイクロ LED の一辺は  $100\ \mu\text{m}$  である。マイクロ LED は側壁に  $\text{SiO}_2$  が成膜されている。LED の側壁に剥き出しになっ

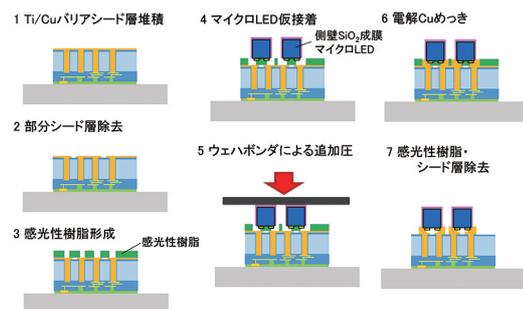


図 9 3D-IC とマイクロ LED の Cu めっき直接接合

ている半導体層に、過剰に成長しためっき Cu が接触したことが原因で短絡することが先行実験により明らかになったため、これを防止するためにこのプロセスを導入した。その後 3D-IC 上にバリア/シード層を成膜した。その後、部分的にバリア/シード層を除去した。これは最終工程でバリア/シード層の除去不良を防止する目的で行っている。続いて感光性樹脂をスピコートし、フォトリソグラフィにより開口した。続いて、ダイボンダーによるマイクロ LED の仮接着とウエハボンダーによる追加圧を行った。これはマイクロ LED と感光性樹脂との密着性を高め、マイクロ LED と感光性樹脂の空隙に Cu が成長することを防止するためのプロセスである。続いて電解めっきにより Cu を成長させ、3D-IC の TSV とマイクロ LED の電極を半田レスで接続した。最後に感光性樹脂の剥離とシード層のエッチングを行い、プローバを用いて電気的特性を評価した。図 10 は 3D-IC 上に積層されたマイクロ LED の顕微鏡画像である。薄く脆い 3D-IC 上にクラックなどの損傷なくマイクロ LED を積層することに成功した。さらに図 11 は 3D-IC 上で

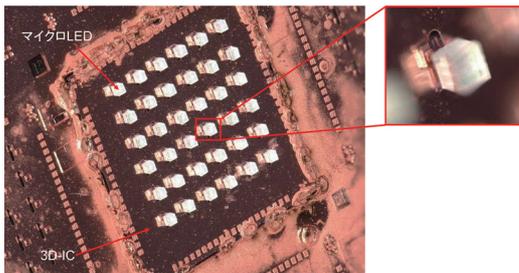


図 10 3D-IC 上に積層されたマイクロ LED アレイ

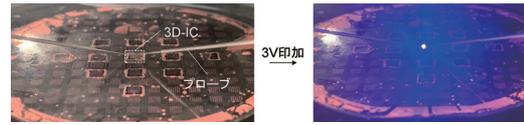


図 11 3D-IC 上で動作するマイクロ LED

発光するマイクロ LED の顕微鏡写真である。マイクロ LED は接合後も劣化なく動作した。このことから半田を用いず、電解めっきにより常温で 3D-IC とマイクロ LED アレイの一括接合に利用できることを実証した。

[成果の発表、論文など]

- 1) Takafumi Fukushima, **Yuki Susumago**, Zhengyang Qian, Chidai Shima, Bang Du, Noriyuki Takahashi, Shuta Nagata, Tomo Odashima, Hisashi Kino, and Tetsu Tanaka, "Significant Die-Shift Reduction and  $\mu$ LED Integration Based on Die-First Fan-Out Wafer-Level Packaging for Flexible Hybrid Electronics", IEEE Transactions on Components, Packaging and Manufacturing Technology Letter, vol. 10 (2020), pp. 1419-1422
- 2) M. Mariappan, **Y. Susumago**, K. Sumitani, Y. Imai, S. Kimura, and T. Fukushima, "Laue microdiffraction evaluation of bending stress in Au wiring formed on chip-embedded flexible hybrid electronics", Japanese Journal of Applied Physics, vol. 60, (2021), SBBC02
- 3) **Yuki Susumago**, Chang Liu, Tadaaki Hoshi, Jiayi Shen, Atsushi Shinoda, Hisashi Kino, Tetsu Tanaka, and Takafumi Fukushima, "Room-Temperature Direct Cu Semi-Additive Plating (SAP) Bonding for Chip-on-Wafer 3D Heterogenous Integration with  $\mu$ LED", IEEE Electron Device Letters, vol. 44, no. 3, (2023), pp. 500-503 (毎号数十本の掲載論文から 5 本が選ばれる Editors' picks に選出され、同雑誌 2023 年 5 月号の表紙に採用された。)